

日本国特許庁  
JAPAN PATENT OFFICE

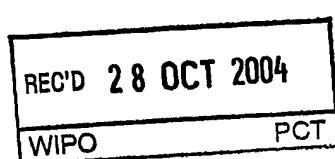
06.09.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application: 2003年 9月12日

出願番号  
Application Number: 特願2003-321613  
[ST. 10/C]: [JP2003-321613]



出願人  
Applicant(s): 株式会社半導体エネルギー研究所

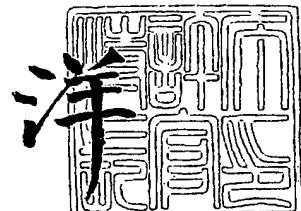
**PRIORITY DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

Best Available Copy

2004年10月15日

特許庁長官  
Commissioner,  
Japan Patent Office

小川



【書類名】 特許願  
【整理番号】 P007354  
【提出日】 平成15年 9月12日  
【あて先】 特許庁長官 殿  
【発明者】  
【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所  
所内  
木村 肇  
【氏名】  
【特許出願人】  
【識別番号】 000153878  
【氏名又は名称】 株式会社半導体エネルギー研究所  
【代表者】 山崎 舜平  
【手数料の表示】  
【予納台帳番号】 002543  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1

**【書類名】特許請求の範囲****【請求項1】**

電流供給手段と配線とトランジスタとプリチャージ回路とを具備する半導体装置であつて、前記電流供給手段は、前記配線を介して前記トランジスタと接続されており、前記プリチャージ回路は、前記配線の電位を検出し、所定の電位との大小関係によって、前記配線に電荷を供給する機能を有することを特徴とする半導体装置。

**【請求項2】**

請求項1において、前記プリチャージ回路は、比較制御回路とプリチャージスイッチとを具備しており、前記比較制御回路は、前記配線の電位を検出し、所定の電位と比較し、その大小関係によって、前記プリチャージスイッチのオンオフを制御する機能を有しており、電荷供給源は、前記プリチャージスイッチを介して前記配線と接続されていることを特徴とする半導体装置。

**【請求項3】**

請求項2において、前記比較制御回路は、オペアンプまたはチャップバインバータコンパレータを用いて構成されていることを特徴とする半導体装置。

**【請求項4】**

請求項1乃至3のいずれか1項において、前記トランジスタは、発光素子または画素に電流を供給することを特徴とする半導体装置。

**【請求項5】**

電流供給手段と配線とトランジスタとプリチャージ回路とを具備する半導体装置の駆動方法であつて、前記電流供給手段は、前記配線を介して前記トランジスタと接続されており、前記プリチャージ回路は、前記配線の電位を検出し、所定の電位との大小関係によって、前記配線に電荷を供給することを特徴とする半導体装置の駆動方法。

【書類名】明細書

【発明の名称】半導体装置およびその駆動方法

【技術分野】

【0001】

本発明は負荷に供給する電流をトランジスタで制御する機能を設けた半導体装置に係り、特に電流によって輝度が変化する電流駆動型発光素子で形成された画素や、画素を駆動する信号線駆動回路を含む半導体装置およびその駆動方法に関する。

【背景技術】

【0002】

有機発光ダイオード（OLED（Organic Light Emitting Diode））、有機EL素子、エレクトロルミネッセンス（Electro Luminescence：EL）素子などとも言う）に代表される自発光型の発光素子を用いた表示装置では、その駆動方式として単純マトリックス方式とアクティブマトリックス方式とが知られている。前者は構造は簡単であるが、大型かつ高輝度のディスプレイの実現が難しい等の問題があり、近年は発光素子に流れる電流を画素回路内部に設けた薄膜トランジスタ（TFT）によって制御するアクティブマトリックス方式の開発が進められている。

【0003】

アクティブマトリックス方式の表示装置の場合、駆動TFTの電流特性のバラツキにより発光素子に流れる電流が変化し輝度がばらついてしまうという問題が認識されていた。つまり、画素回路には発光素子に流れる電流を駆動する駆動TFTが用いられており、これらの駆動TFTの特性がばらつくことにより発光素子に流れる電流が変化し、輝度がばらついてしまうという問題があった。そこで画素回路内の駆動TFTの特性がばらついても発光素子に流れる電流は変化せず、輝度のバラツキを抑えるための種々の回路が提案されている（例えば、特許文献1乃至4参照。）。

【0004】

特許文献1乃至3には、画素回路内に配置された駆動TFTの特性のバラツキによって発光素子に流れる電流値の変動を防ぐための回路構成が開示されている。この構成は、電流書き込み型画素、もしくは電流入力型画素などと呼ばれている。また特許文献4には、ソースドライバ回路内のTFTのバラツキによる信号電流の変化を抑制するための回路構成が開示されている。

【0005】

図6に、特許文献1に開示されている従来のアクティブマトリックス型表示装置の第1の構成例を示す。図6の画素は、ソース信号線601、第1～第3のゲート信号線602～604、電流供給線605、TFT606～609、保持容量610、EL素子611、信号電流入力用電流源612を有する。

【0006】

図7を用いて、信号電流の書き込みから発光までの動作について説明する。図中、各部を示す図番は、図6に準ずる。図7(A)～(C)は、電流の流れを模式的に示している。図7(D)は、信号電流の書き込み時における各経路を流れる電流の関係を示しており、図7(E)は、同じく信号電流の書き込み時に、保持容量610に蓄積される電圧、つまりTFT608のゲート・ソース間電圧について示している。

【0007】

まず、第1のゲート信号線602および第2のゲート信号線603にパルスが入力され、TFT606、607がONする。このとき、ソース信号線を流れる電流、すなわち信号電流をIdataとする。

【0008】

ソース信号線には、電流Idataが流れているので、図7(A)に示すように、画素内では、電流の経路はI1とI2とに分かれて流れる。これらの関係を図7(D)に示している。なお、 $I_{data} = I_1 + I_2$ であることは言うまでもない。

【0009】

TFT606がONした瞬間には、まだ保持容量610には電荷が保持されていないため、TFT608はOFFしている。よって、 $I_2 = 0$ となり、 $I_{data} = I_1$ となる。すなわちこの間は、保持容量610における電荷の蓄積による電流のみが流れている。

#### 【0010】

その後、徐々に保持容量610に電荷が蓄積され、両電極間に電位差が生じ始める(図7(E))。両電極の電位差がVthとなると(図7(E) A点)、TFT608がONして、 $I_2$ が生ずる。先に述べたように、 $I_{data} = I_1 + I_2$ であるので、 $I_1$ は次第に減少するが、依然電流は流れしており、さらに保持容量には電荷の蓄積が行われる。

#### 【0011】

保持容量610においては、その両電極の電位差、つまりTFT608のゲート・ソース間電圧が所望の電圧、つまりTFT608が $I_{data}$ の電流を流すことが出来るだけの電圧(VGS)になるまで電荷の蓄積が続く。やがて電荷の蓄積が終了する(図7(E) B点)と、電流 $I_2$ は流れなくなり、さらにTFT608はそのときのVGSに見合った電流が流れ、 $I_{data} = I_2$ となる(図7(B))。こうして、定常状態に達する。以上で信号の書き込み動作が完了する。最後に第1のゲート信号線602および第2のゲート信号線603の選択が終了し、TFT606、607がOFFする。

#### 【0012】

このように、所定の電流を供給できるようにする動作を、設定動作と呼ぶことにする。

#### 【0013】

続いて、発光動作に移る。第3のゲート信号線604にパルスが入力され、TFT609がONする。保持容量610には、先ほど書き込んだVGSが保持されているため、TFT608はONしており、電流供給線605から、 $I_{data}$ の電流が流れる。これによりEL素子611が発光する。このとき、TFT608が飽和領域において動作するようにしておけば、TFT608のソース・ドレイン間電圧が変化したとしても、 $I_{data}$ は変わりなく流れることが出来る。

#### 【0014】

このように、設定した電流を出力する動作を、出力動作と呼ぶこととする。電流書き込み型画素のメリットとして、TFT608の特性等にばらつきがあった場合であっても、保持容量610には、電流 $I_{data}$ を流すのに必要なゲート・ソース間電圧が保持されるため、所望の電流を正確にEL素子に供給することが出来、よってTFTの特性ばらつきに起因した輝度ばらつきを抑えることが可能になる点がある。

#### 【0015】

以上の例は、画素回路内での駆動TFTのバラツキによる電流の変化を補正するための技術に関するものであるが、ソースドライバ回路内においても同一の問題が発生する。特許文献4には、ソースドライバ回路内でのTFTの製造上のバラツキによる信号電流の変化を防止するための回路構成が開示されている。

#### 【0016】

また、特許文献5には、階調を制御する電流源の他に電圧源を用意し、ソース信号線に入力する2つの電源を切り替えるための電源切り替え手段により、行選択期間の初めに電圧源により浮遊容量の電荷を瞬時に変化させ、その後所望の輝度を出すために電流源10により階調表示を行う構成が開示されている。

【特許文献1】特許出願公表番号2002-517806号公報

【特許文献2】国際公開第01/06484号パンフレット

【特許文献3】特許出願公表番号2002-514320号公報

【特許文献4】国際公開第02/39420号パンフレット

【特許文献5】特許出願公開番号2003-66908号公報

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0017】

しかしながら、特許文献5に開示された技術の場合、行選択期間の初めのある期間に、

電圧源からソース信号線に電荷を供給し、その期間が終了した後、電源切り替え手段により、電圧源から電流源に切り替えて、ソース信号線に電荷を供給している。この時の構成を図43に示す。電源切り替え手段4321によって、電圧源4311から電流源4301に切り替えて、トランジスタ4302に設定動作を行っている。

#### 【0018】

つまり、この場合、電圧源4311から電荷を供給する期間が固定されている。そのため、電圧源4311から電荷を供給する期間と、電流源4301から電荷を供給する期間とが、最適な長さになっていない。

#### 【0019】

例として、ソース信号線の電位の時間変化を表したグラフを図44に示す。ソース信号線の初期電位をV3とする。そして、電流源から電流を供給して、定常状態になったときのソース信号線の電位が、図44(a)の場合はV1'、図44(b)の場合はV2'になるものとする。そして、時間T1までは電圧源からソース信号線に電荷を供給し、時間T1以降は電流源からソース信号線に電荷を供給するものとする。

#### 【0020】

まず、図44(a)の場合、電圧源の電位がV1であるので、ソース信号線の電位はV3からV1へと近づいていく。しかし、V3とV1との電位差が大きいため、時間T1の段階では、ソース信号線の電位はV1から大きく離れている。時間T1以降は、電流源から電荷が供給されるが、電荷量が少ないため、時間T2のときでも、ソース信号線の電位は、定常状態になったときの電位であるV1'から大きく離れている。したがって、この場合は、電圧源で電荷を供給する期間をもっと長くする必要がある。

#### 【0021】

一方、図44(b)の場合は、電圧源の電位がV2であるので、ソース信号線の電位はV3からV2へと近づいていく。このとき、V3とV2との電位差は小さいため、時間T1の段階で、ソース信号線の電位はV2と近い大きさになっている。そして、時間T1以降は、電流源から電荷が供給されるが、電位差が小さいため、電荷量が少なくとも、定常状態に達することが出来る。つまり、時間T2のときにおいて、ソース信号線の電位は、定常状態になったときの電位であるV2'と等しくなっている。したがって、この場合は、電圧源で電荷を供給する期間は、最適値であると言える。

#### 【0022】

図44(a)の場合は、電圧源で電荷を供給する期間が短かったため、もっと長くして、時間T2までの間、電圧源で電荷を供給する場合について述べる。その場合のソース信号線の電位の時間変化を表したグラフを図45に示す。

#### 【0023】

図45(a)の場合、電圧源の電位がV1であるので、ソース信号線の電位はV3からV1へと近づいていく。V3とV1との電位差が大きいが、電圧源で電荷を供給する期間が長いため、時間T2の段階では、ソース信号線の電位はV1と近い大きさになっている。そして、時間T2以降は、電流源から電荷が供給されるが、電位差が小さいため、電荷量が少なくとも、定常状態に達することが出来る。つまり、時間T3のときにおいて、ソース信号線の電位は、定常状態になったときの電位であるV1'と等しくなっている。したがって、この場合は、電圧源で電荷を供給する期間は、最適値であると言える。

#### 【0024】

一方、図45(b)の場合は、電圧源の電位がV2であるので、ソース信号線の電位はV3からV2へと近づいていく。このとき、V3とV2との電位差は小さいため、時間T1を越えた段階で、ソース信号線の電位はV2と等しい大きさになっている。しかし、時間T2までは、電圧源で電荷を供給されるため、ソース信号線の電位はV2のままとなる。そして、時間T2以降は、電流源から電荷が供給されるが、電位差が小さいため、電荷量が少くとも、定常状態に達することが出来る。

#### 【0025】

つまり、図44(b)の場合は、時間T2のときにおいて、ソース信号線の電位は、定常状

態になったときの電位であるV2' と等しくなっている。しかし、図45(b)の場合は、時間T2では、ソース信号線の電位はV2のままであり、定常状態になるには、時間T3まで必要となってしまう。

#### 【0026】

このように、図44のように、電圧源で電荷を供給する期間が短かい場合は、電位差が大きい場合(図44(a))は、なかなか定常状態にならない。一方、電圧源で電荷を供給する期間が長い場合は、電位差が大きい場合(図45(a))だけでなく、電位差が小さい場合(図45(b))であっても、定常状態になるまでの時間が多く必要となってしまう。

#### 【0027】

このように、電圧源で電荷を供給する期間の長さを決めてしまうと、十分、信号線の電位が変化できなかったり、信号を書き込む期間の一部が無駄になり、定常状態になるまでの時間がより多く必要になったりしてしまう。

#### 【0028】

これ以外の課題としては、行選択期間の初めに供給される電圧値が、最適な大きさになっていないことが挙げられる。最適な大きさでないため、定常状態になるまでの時間が多く必要となってしまう。

#### 【0029】

本発明はこのような問題点に鑑み、トランジスタの特性バラツキの影響を低減し、所定の電流を供給でき、信号電流が小さな場合であっても、あるいは、信号線の電位変化量に依存することなく、信号の書き込み速度を十分に向上させることのできる半導体装置を提供することを目的とする。

#### 【課題を解決するための手段】

#### 【0030】

本発明は、配線の電位を検出し、その電位が所定の電位と差がある場合は、電荷を供給する。そして、配線の電位が所定の電位に達したら、電荷の供給を止めることにより、上記目的を達成するものである。

#### 【0031】

このような動作を行うために、プリチャージ回路が配置されている。プリチャージ回路は、配線の電位を検出し、その電位が所定の電位と差がある場合は、電荷を供給して、配線の電位が所定の電位に達したら、電荷の供給を止める機能を有している。

#### 【0032】

また、プリチャージ回路は、比較制御回路やプリチャージスイッチを有しており、比較制御回路は、配線の電位を検出し、その電位が所定の電位と差がある場合は、プリチャージスイッチのオンオフを制御する機能を有しており、プリチャージスイッチは、配線に電荷を供給するかどうかを制御する機能を有している。

#### 【0033】

本発明は、電流供給手段と配線とトランジスタとプリチャージ回路とを具備する半導体装置であって、前記電流供給手段は、前記配線を介して前記トランジスタと接続されており、前記プリチャージ回路は、前記配線の電位を検出し、所定の電位との大小関係によって、前記配線に電荷を供給する機能を有することを特徴とするものである。

#### 【0034】

本発明は、前記構成によって、前記比較制御回路は、オペアンプまたはチャップバインバータコンパレータを用いて構成されていること特徴とするものである。

#### 【0035】

本発明は、前記構成によって、前記トランジスタは、発光素子または画素に電流を供給すること特徴とするものである。

#### 【0036】

本発明において、適用可能なトランジスタの種類に限定はなく、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ(TFT)、半導体基板やSOI基板を用いて形成されるMOS型トランジスタ、接合型トランジスタ、バイ

ポーラトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。また、トランジスタが配置されている基板の種類に限定はなく、単結晶基板、S O I 基板、ガラス基板などに配置することが出来る。

### 【0037】

なお、本発明において、接続されているとは、電気的に接続されていることと同義である。したがって、本発明が開示する構成において、所定の接続関係に加え、その間に電気的な接続を可能とする他の素子（例えば、別の素子やスイッチなど）が配置されていてもよい。

### 【発明の効果】

#### 【0038】

本発明では、画素や信号線駆動回路のトランジスタに電流を供給する場合、前もってプリチャージ動作を行う。そのため、すばやく、電流の書き込みが終了する。また、プリチャージ動作を行う期間が、適宜調節されるため、無駄がなく、正確に電流を設定することが出来る。その結果、トランジスタの特性バラツキの影響を低減し、所定の電流を供給でき、信号電流が小さな場合であっても、あるいは、信号線の電位変化量に依存することなく、信号の書き込み速度を十分に向上させることのできる。

### 【発明を実施するための最良の形態】

#### 【0039】

##### (実施の形態1)

本発明は、発光素子に流れる電流値によって発光輝度を制御することができる素子で画素を形成する。代表的にはE L 素子を適用することができる。E L 素子の構成としては種々知られたものがあるが、電流値により発光輝度を制御可能なものであれば、どのような素子構造であっても本発明に適用することができる。すなわち、発光層、電荷輸送層または電荷注入層を自由に組み合わせてE L 素子を形成するものであり、そのための材料として、低分子系有機材料、中分子系有機材料（昇華性を有さず、かつ、分子数が20以下または連鎖する分子の長さが $10\mu m$ 以下の有機発光材料）や高分子系有機材料を用いることができる。また、これらに無機材料を混合または分散させたものを用いても良い。

#### 【0040】

まず、図1に、本発明の基本原理に基づく構成について示す。配線107に、電流源101と、電流源101の電流を入力し、信号を書き込む対象であるトランジスタ102とが接続されている。トランジスタ102のゲート端子には、ゲート電位を保持するため、容量素子103が接続されている。なお、この容量素子103は、トランジスタのゲート容量などを用いることにより、削除することも可能である。

#### 【0041】

なお、図1では、トランジスタ102のゲート端子とドレイン端子が接続されているが、これに限定されない。図1は、電流源101の電流をトランジスタ102に流して、信号を書き込んでいるときの接続状況を示している。したがって、図2に示すように、トランジスタ102のゲート端子とドレイン端子の間や、トランジスタ102のドレイン端子や配線107の間などに、スイッチが配置されていたり、信号線や発光素子などの負荷201などが配置されている場合もある。また、図3のように、トランジスタ102とカレントミラー回路を構成するトランジスタ302が配置される場合もある。また、図4や図5のように、配線107に負荷201が接続されている場合もある。このように、様々な構成をとることが出来る。

#### 【0042】

なお、図2などにおける負荷201は、何でもよい。抵抗などのような素子でも、トランジスタでも、E L 素子でも、そのほかの発光素子でも、トランジスタと容量とスイッチなどで構成された電流源回路でも、何かの回路が接続された配線でもよい。信号線でも、信号線とそれに接続された画素でもよい。その画素には、E L 素子やF E Dで用いる素子など、どのような表示素子を含んでいてもよい。

#### 【0043】

そして、配線107には、プリチャージ回路111が接続されている。プリチャージ回路111は、プリチャージスイッチ112、比較制御回路114などから構成されている。

#### 【0044】

次に、図1の回路の動作について述べる。まず、電流源101からトランジスタ102に電流が供給される。そして、そのときの配線107の電位が、比較制御回路114の第1入力端子116に供給される。一方、比較制御回路114の第2入力端子118には、所定の電位が供給されている。第2入力端子118の電位は、電流源101からトランジスタ102に電流が供給されて、定常状態になったときの配線107の電位と概ね等しいことが望ましい。

#### 【0045】

比較制御回路114では、第1入力端子116の電位と第2入力端子117の電位とを比較して、出力端子115からプリチャージスイッチ112を制御する。つまり、第1入力端子116の電位と第2入力端子117の電位に、所定の大きさよりも大きな差があれば、プリチャージスイッチ112をオンにして、配線113から配線107に電荷が供給される。第1入力端子116の電位と第2入力端子117の電位に関して、所定の大きさよりも小さな差になれば、プリチャージスイッチ112をオフにして、配線113から配線107への電荷の供給が止まる。そして、電流源101からのみ、トランジスタ102に電流が供給されるようになる。

#### 【0046】

このように、プリチャージスイッチ11をオンにして、配線107に対して、プリチャージ動作を行う。なお、プリチャージスイッチ112がオンになる期間や、オフになるタイミングは、比較制御回路114によって、配線107の電位を検出しながら、制御される。したがって、プリチャージを行う期間を、適切に制御することができる。また、プリチャージスイッチ112がオンのとき、配線107の電位は、配線113の電位に、急速に近づく。なぜなら、プリチャージスイッチ112がオフになるとときの配線107の電位と、配線113の電位とは、必ずしも、等しくない。したがって、時定数よりも短い期間で、配線107の電位は、配線113の電位に近づけることができる。そして、配線107の電位は、配線113の電位に十分近くなったら、比較制御回路114によってプリチャージスイッチ11がオフになり、配線113から配線107への電荷の供給が止まる。

#### 【0047】

この場合の、配線107の電位の時間変化を表したグラフを図8に示す。配線107の初期電位をV3とする。そして、電流源101から電流を供給して、定常状態になったときの配線107の電位が、図8(a)の場合はV1a'、図8(b)の場合はV1b'、図8(c)の場合はV1c'になるものとする。また、 $V3 > V1a' > V1b' > V1c'$ であるとする。そして、配線118の電位は、図8(a)の場合はV1a、図8(b)の場合はV1b、図8(c)の場合はV1cであるとする。また、配線113の電位は、V1c'より低い電位であればよい。たとえば、配線105の電位と等しくても良い。

#### 【0048】

図8(a)の場合、時間T3までの間、プリチャージスイッチ112がオンになり、配線107の電位が急激に変化する。そして、時間T3になると、配線107の電位が配線118の電位V1aに等しくなり、プリチャージスイッチ112がオフになる。すると、トランジスタ102には、電流源101から流れる電流のみが流れるようになり、時間T4になると、配線107の電位は、V1a'となり、定常状態となる。

#### 【0049】

図8(b)の場合は、時間T4になって、ようやく、配線107の電位と配線118の電位とが等しくなり、プリチャージスイッチ112がオフになる。つまり、時間T4までの間、プリチャージが行われることになる。その後、トランジスタ102には、電流源101から流れる電流のみが流れるようになり、時間T5になると、配線107の電位は、V1b'となり、定常状態となる。

**【0050】**

図8(c)の場合は、時間T5になって、ようやく、配線107の電位と配線118の電位とが等しくなり、プリチャージスイッチ112がオフになる。つまり、時間T5までの間、プリチャージが行われることになる。その後、トランジスタ102には、電流源101から流れる電流のみが流れようになつたあと、定常状態となる。

**【0051】**

このように、図8からわかるように、初期電位と、定常状態になったときの電位との差から、最適な期間だけ、プリチャージスイッチ112がオンになり、プリチャージを行う。プリチャージが行われる期間に、無駄な期間がないため、プリチャージの後は、その分だけより長い期間をかけて、電流源101からトランジスタ102に電流を供給して、トランジスタ102のばらつきの影響を低減するよう出来る。

**【0052】**

なお、図1では、電流源101からトランジスタ102の方に電流が流れ、かつ、トランジスタ102がNチャネル型の場合について述べたが、これに限定されない。図9に示すように、容易に、電流の流れる向きを逆にして、トランジスタ902の極性をPチャネル型にすることが出来る。また、電流源101からトランジスタ102の方に電流が流れ、かつ、トランジスタ1002をPチャネル型の場合にする場合は、図10に示すようにすればよい。なお、このとき、トランジスタ1002のソース電位の変動の影響を受けにくくするためには、配線1006をトランジスタ1002のソース端子に接続することが望ましい。図9に対しても、トランジスタの極性を変える場合は、図11のように接続することが望ましい。

**【0053】**

また、配線113は、図12に示すように、電圧源が接続されていてもよいし、図13に示すように、電流源が接続されていてもよい。あるいは、配線104や配線105などに接続されていてもよい。つまり、配線107の電位を比較制御回路111を用いて検出しながらプリチャージを行うため、十分大きな電荷を供給できるようになっていればよい。

**【0054】**

なお、図1で述べたプリチャージだけでなく、別のプリチャージ動作を組み合わせてもよい。同じ出願人による特願2003-019240号出願、特願2003-055018号出願、特願2003-131824号出願などに出願されており、さまざまなプリチャージ技術が開示されており、その内容を本発明と組み合わせることが出来る。

**【0055】**

なお、図1などに示すスイッチは、電気的スイッチでも機械的なスイッチでも何でも良い。電流の流れを制御できるものなら、何でも良い。トランジスタでもよいし、ダイオードでもよいし、それらを組み合わせた論理回路でもよい。よって、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（Vss、Vgnd、0Vなど）に近い状態で動作する場合はnチャネル型を、反対に、ソース端子の電位が、高電位側電源（Vddなど）に近い状態で動作する場合はpチャネル型を用いることが望ましい。なぜなら、ゲート・ソース間電圧の絶対値を大きくできるため、スイッチとして、動作しやすいからである。なお、nチャネル型とpチャネル型の両方を用いて、CMOS型のスイッチにしてもよい。

**【0056】****(実施の形態2)**

図8では、最も一般的な場合として、配線107の初期電位が、定常状態になったときの電位よりも高い場合について示した。しかし、実際には、配線107の初期電位の方が

低い場合もある。そこで、初期電位の高低にかかわらず、プリチャージする場合について述べる。

#### 【0057】

まず、構成例として、複数のプリチャージ回路111a、111bを配置した場合を図14に示す。配線113aの電位が高く、配線113bの電位が低いものとする。したがって、例えば、配線113aが配線104と接続されており、配線113bが配線105と接続されていてもよい。

#### 【0058】

そして、配線107の電位が、低い場合は、プリチャージスイッチ112aがオンになり、配線113aから電荷が供給され、配線107の電位が急激に上昇する。あるいは、配線107の電位が、高い場合は、プリチャージスイッチ112bがオンになり、配線113bから電荷が供給され、配線107の電位が急激に低下する。これにより、プリチャージを行うことが出来る。

#### 【0059】

そこで例えば、比較制御回路114aが、第1入力端子116aの電位が、第2入力端子117aの電位以上になったら、プリチャージスイッチ112aをオフにし、比較制御回路114bが、第1入力端子116bの電位が、第2入力端子117bの電位以下になったら、プリチャージスイッチ112bをオフにするものとする。その場合の第2入力端子117aと第2入力端子117bの電位のグラフを図15に示す。横軸は、電流源101から供給される電流の大きさであり、縦軸は、第2入力端子117aと第2入力端子117bの電位である。第2入力端子117aは、グラフ1503であり、第2入力端子117bはグラフ152である。定常状態のときの配線107の電位は、グラフ1501のようになる。つまり、配線107の電位が、グラフ1502からグラフ1503までの間の値を取る場合は、プリチャージスイッチ112a、112bが両方ともオフすることになる。配線107の電位がグラフ1503の電位よりも低い場合は、プリチャージスイッチ112aがオンになって急速電位が上昇し、グラフ1502の電位よりも高い場合は、プリチャージスイッチ112bがオンになって急速に電位が低下する。そして、配線107の電位が、グラフ1502からグラフ1503までの間の値になると、プリチャージスイッチ112a、112bが両方ともオフし、電流源101からのみ電流が供給されて、電流設定が行われるようになる。

#### 【0060】

もし、どれだけ時間が経過しても、プリチャージスイッチ112a、112bが、両方ともオフにならない場合は、電流源101からの電流のみをトランジスタ102に供給することができなくなる。それは、ずっとプリチャージを行い続けることに相当し、トランジスタ102の電流特性のばらつきを補正することが出来なくなる。よって、配線107の電位が、定常状態になったときの電位に概ねひとしくなったら、プリチャージを行わないようにする必要がある。

#### 【0061】

そのために、図14の構成の場合は、配線118a、118bの電位を、図15のように調節する必要がある。あるいは、比較制御回路114aや比較制御回路114bを各々調節して、配線107の電位が、定常状態になったときの電位に概ねひとしくなったら、プリチャージスイッチ112a、112bの両方がオフになるようにしてもよい。

#### 【0062】

なお、図15において、グラフ1502とグラフ1503の幅は、トランジスタ102の電流特性のばらつき具合を考慮して決めればよい。

#### 【0063】

また、ある程度の時間が経過したら、強制的にプリチャージを停止するようにしてもよい。例えば、図16のように、プリチャージスイッチ112と直列にスイッチ1612を設けて、強制的にプリチャージを停止してもよい。あるいは、図17のように、比較制御回路114の出力を制御回路1714に入力し、制御用入力端子1717へ入力される信

号とを組み合わせて、プリチャージスイッチ112を制御してもよい。この場合、制御用入力端子1717へ入力される信号を用いて、強制的にプリチャージを停止するようすればよい。

#### 【0064】

次に、別の構成例を図18に示す。配線1813aの電位が高く、配線1813bの電位が低いものとする。そして、配線107の電位が、低い場合は、プリチャージスイッチ1812aがオンになり、配線1813aから電荷が供給され、配線107の電位が急激に上昇する。あるいは、配線107の電位が、高い場合は、プリチャージスイッチ1812bがオンになり、配線1813bから電荷が供給され、配線107の電位が急激に低下する。

#### 【0065】

比較制御回路1814には、第1出力端子1815aと第2出力端子1815bとがあり、各々、プリチャージスイッチ1812aとプリチャージスイッチ1812bとを制御している。第2入力端子1818には、配線107が定常状態になったときの電位と概ね等しい電位が供給されている。そして、比較制御回路1814は、配線107の電位に応じて、プリチャージスイッチ1812aとプリチャージスイッチ1812bのどちらかをオンにするか、両方ともオフにするように制御する。つまり、図15に示すように、配線107の電位がグラフ1503よりも低い場合は、プリチャージスイッチ1812aがオンになり、配線107の電位がグラフ1502よりも高い場合は、プリチャージスイッチ1812bがオンになるように、比較制御回路1814が制御する。

#### 【0066】

さらに別の構成を図19に示す。図19の構成の場合、配線107は、スイッチ1912bを介して高い電位と接続され、また、スイッチ1912aを介して低い電位と接続されている。配線107の電位をあげる必要がある場合はスイッチ1912bがオンになり、配線107の電位を下げる必要がある場合はスイッチ1912aがオンになる。これにより、配線107の初期電位の高低にかかわらず、プリチャージすることができる。

#### 【0067】

なお、スイッチ1912a、1912bの制御は、比較制御回路と同様に、配線107の電位を検出して、所定の電位と比較することにより、行えばよい。この場合のブロック図を図20に示す。

#### 【0068】

次に、別の構成例を示す。図21には、配線107の電位を初期化する場合について述べる。まず、スイッチ2112をオンにして、配線107の電位を配線2113の電位に初期化する。例えば、配線107の電位を高くする。その後、図1の場合と同様にして、比較制御回路114を用いてプリチャージスイッチ112を制御してプリチャージを行う。

#### 【0069】

図21の場合は、配線107の初期電位が、定常状態になったときの電位よりも高い（もしくは低い）場合のみであるとして、動作させればよい。

#### 【0070】

なお、スイッチ2112とプリチャージスイッチ112とが両方ともオンしないように、制御することが望ましい。

#### 【0071】

なお、本実施の形態で説明した内容は、実施の形態1で説明した構成を利用したものに相当するがこれに限定されず、その要旨を変更しない範囲であれば様々な変形が可能である。したがって、実施の形態1で説明した内容は、本実施の形態にも適用できる。

#### 【0072】

(実施の形態3)

次に、比較制御回路の具体例について述べる。まず、図22に、オペアンプを用いて比較制御回路を構成した場合の図を示す。図22の場合は、非反転端子が配線118に接続

され、反転端子が配線107に接続されている。したがって、配線107の電位が低い場合は、出力端子115の電位が高くなる。配線113の電位が高い場合は、配線107の電位が低いときにプリチャージが行われればよいので、その場合には、スイッチ112がオンするようにすればよい。

#### 【0073】

なお、配線107の電位が高い場合に、出力端子115の電位が高くなるようにしたい場合は、例えば、図23のように、オペアンプの出力の先にインバータを接続して、データを反転させてもよいし、図24のように、オペアンプの非反転端子と反転端子との接続を逆にしてもよい。

#### 【0074】

したがって、例えば図14の場合は、図25のように構成すればよい。

#### 【0075】

なお、オペアンプを用いる場合、オペアンプのオフセット電圧に注意する必要がある。よって、公知の方法を用いて、オフセットをキャンセルする方法を用いてもよい。あるいは、逆に、故意にオフセットを生じるようにオペアンプを調節し、図15に示したように、グラフ1501ではなく、そこから少しずれたグラフ1502やグラフ1503で、出力結果が変わるようにしてもよい。

#### 【0076】

このように、比較制御回路をオペアンプを用いて構成した場合について示したが、これに限定されない。ある電位と別の電位を比較して、その大小関係によって出力結果が変わらるような回路、つまり、コンパレータ回路を用いれば、比較制御回路を構成することは可能である。

#### 【0077】

そこで、コンパレータ回路として、オペアンプ以外の回路を用いて、比較制御回路を構成した場合を図26に示す。図26は、インバータ2621や容量素子2622を用いており、いわゆる、チョッパーインバータコンパレータと呼ばれる回路である。ただし、この構成を用いる場合は、まず、初期化して、容量素子2622に適切な電荷を蓄積させる必要がある。まず、配線118に所定の電位を供給し、スイッチ2626、2624をオンにし、スイッチ2625をオフにする。スイッチ2623は、オフの方が望ましい。この初期化動作によって、チョッパーインバータコンパレータの出力が変化する電位が記憶される。その後、スイッチ2624、2626をオフにし、スイッチ2625をオンにして、コンパレータとして動作させる。

#### 【0078】

なお、出力端子115の電位を逆にしたい場合は、図27に示すように、インバータ2721を追加すればよい。

#### 【0079】

比較制御回路として、オペアンプを用いた場合は、初期化の必要がなかったり、オフセット電圧を故意に生じさせて、図15のように動作させることが出来る。しかしながら、回路規模が大きくなったり、オペアンプ中の定常電流の影響で消費電力が増加したりしてしまう。一方、比較制御回路として、チョッパーインバータコンパレータを用いた場合は、オフセット電圧が生じないため、ばらつきの影響を受けにくい。また、回路規模も小さくでき、消費電力も抑えることが出来る。ただし、初期化を行う必要があり、動作が複雑になる。

#### 【0080】

なお、本実施の形態で説明した内容は、実施の形態1、2で説明した構成を具体的に述べたものに相当するがこれに限定されず、その要旨を変更しない範囲であれば様々な変形が可能である。したがって、実施の形態1、2で説明した内容は、本実施の形態にも適用できる。また、本実施の形態は、実施の形態1、2と容易に組み合わせることが出来る。

#### 【0081】

(実施の形態4)

次に、比較制御回路の第2入力端子117（もしくは配線118）の電位を決定する手段について述べる。この電位は、定常状態になったときの配線107の電位とおおむね等しいか、あるいは、図15のように、わずかに大きいか、わずかに小さい、という値にすることが望ましい。

#### 【0082】

定常状態になったときの配線107の電位は、電流源101が流す電流の大きさによっても変わるし、トランジスタ102のチャネル長Lやチャネル幅Wや移動度やしきい値電圧などによっても変わる。したがって、それに合わせた電位を比較制御回路の第2入力端子117（もしくは配線118）に供給する必要がある。

#### 【0083】

そこで、ダミー電流をダミートランジスタに流して、電位を取得する場合の構成を図28に示し、図1の構成に組み合わせた場合を図29に示す。

#### 【0084】

もし、比較制御回路の第2入力端子117の電位を、定常状態になったときの配線107の電位と概ね等しくする場合は、ダミー電流源101Zが供給する電流の大きさを、電流源101が供給する電流のA倍にして、かつ、ダミートランジスタ102ZのW/Lを、トランジスタ102のW/LのA倍にすればよい。そのようにすれば、比較制御回路の第2入力端子117の電位と、定常状態になったときの配線107の電位とは、概ね等しくなる。

#### 【0085】

比較制御回路の第2入力端子117の電位を、定常状態になったときの配線107の電位よりも低くする場合は、ダミー電流源101Zが供給する電流の大きさを、電流源101が供給する電流のB倍にして、かつ、ダミートランジスタ102ZのW/Lを、トランジスタ102のW/LのC倍にすればよい。ここで、 $B < C$ とすればよい。その結果、ダミートランジスタ102Zのゲート・ソース間電圧が小さくなるため、比較制御回路の第2入力端子117の電位を低くすることが出来る。

#### 【0086】

逆に、比較制御回路の第2入力端子117の電位を、定常状態になったときの配線107の電位よりも高くする場合は、 $B > C$ とすればよい。その結果、ダミートランジスタ102Zのゲート・ソース間電圧が大きくなるため、比較制御回路の第2入力端子117の電位を高くすることが出来る。

#### 【0087】

なお、 $A < 1$ （または $B < 1$ 、 $C < 1$ ）として、ダミー電流源101Zが供給する電流の大きさを小さくすれば、電流値が小さいため、消費電力を少なくすることが出来る。また、ダミー電流源101Zやダミートランジスタ102Zの大きさを小さく出来るので、レイアウト面積を小さくでき、額縁を小さく出来る。

#### 【0088】

ただし、図29の構成の場合は、比較制御回路の第2入力端子117に電位を供給しつづけるためには、ダミー電流源101Zが電流を供給し続ける必要があり、消費電力が大きくなる。そこで、図30に示すように、比較制御回路の第2入力端子117の電位を保持できるようにするため、容量素子3104を設けてもよい。容量素子3104を使って電荷を保存し、スイッチ3103をオフすることにより、比較制御回路の第2入力端子117の電位が保たれる。スイッチ3103がオフした後は、ダミー電流源101Zが電流を供給しつづける必要はない。よって、電流を止めたり、あるいは、ダミー電流源101Zの先にスイッチを設けて、電流が流れないようにしてもよい。

#### 【0089】

このように、図29や図30では、ダミー電流源101Zを用いていたが、電流源101を用いて、ダミートランジスタに電流を供給してもよい。この場合の構成図を図31に示す。

#### 【0090】

まず、スイッチ3102をオフにして、スイッチ3101、3103をオンにして、ダ

ミートランジスタ102Zの方に電流を流す。そして、容量素子3104に電荷を蓄積する。その後、スイッチ3102をオンにして、スイッチ3101、3103をオフにして、トランジスタ102の方に電流を流すようにする。

#### 【0091】

なお、比較制御回路の第2入力端子117の電位を、定常状態になったときの配線107の電位と概ね等しくする場合は、ダミートランジスタ102ZのW/Lを、トランジスタ102のW/Lと同じ大きさにすればよい。比較制御回路の第2入力端子117の電位を、定常状態になったときの配線107の電位よりも低くする場合は、ダミートランジスタ102ZのW/Lを、トランジスタ102のW/Lよりも大きくすればよい。逆に、比較制御回路の第2入力端子117の電位を、定常状態になったときの配線107の電位よりも高くする場合は、ダミートランジスタ102ZのW/Lを、トランジスタ102のW/Lよりも小さくすればよい。このように、ダミートランジスタ102ZのW/Lを調節して、ダミートランジスタ102Zのゲート・ソース間電圧を制御すればよい。

#### 【0092】

このように、図29～図31に示したように、電流が流れる向き（電流源からトランジスタへ、または、トランジスタから電流源へ）を、ダミー電流源101Zとダミートランジスタ102Zの場合と、電流源101とトランジスタ102の場合とで、一致させ、かつ、ダミートランジスタ102Zとトランジスタ102の極性を一致させることが望ましい。これにより、電流源101が供給する電流の大きさに関わらず、適切な電位を、比較制御回路の第2入力端子117に供給することが可能となる。

#### 【0093】

したがって、図1の場合は図28の構成を用いることが望ましく、同様に、図9の場合は図32の構成を用い、図10の場合は図33の構成を用い、図11の場合は図34の構成を用いることが望ましい。

#### 【0094】

なお、トランジスタ102と、ダミートランジスタ102Zとは、出来るだけ、特性がそろっていることが望ましい。なぜなら、電流特性がばらついてしまうと、正確な電位にすることが難しくなるためである。よって、トランジスタを作成する過程において、できるだけ、電流特性が揃うように工夫することが望ましい。例えば、トランジスタ102とダミートランジスタ102Zの半導体層にレーザを照射して製造する場合、トランジスタ102とダミートランジスタ102Zの電流特性が揃うようにレーザを照射することが望ましい。

#### 【0095】

なお、本実施の形態で説明した内容は、実施の形態1～3で説明した構成の一部を具体的に述べたものに相当するがこれに限定されず、その要旨を変更しない範囲であれば様々な変形が可能である。したがって、実施の形態1～3で説明した内容は、本実施の形態にも適用できる。また、本実施の形態は、実施の形態1～3と容易に組み合わせることが出来る。

#### 【0096】

##### (実施の形態5)

図1などでは、配線107に対して、1つのトランジスタ102が接続されていた。そこで次に、配線107に対して、複数のトランジスタが接続されている場合について述べる。

#### 【0097】

図35に、図14の構成で、トランジスタが複数接続されている場合について示す。トランジスタ102a、102bが、配線107に対して、複数接続されているトランジスタに相当する。トランジスタ102aやスイッチ202a、203a、204a、容量素子103a、負荷201aなどで1つのまとまりとなっている。負荷201aが発光素子などの場合は、このまとまりが画素に相当し、電流源101などが信号線駆動回路（もしくはその一部）に相当することになる。あるいは、負荷201aが信号線や信号線に接続された画

素などの場合は、このまとまりが信号線駆動回路（もしくはその一部）に相当し、電流源101などが信号線駆動回路（もしくはその一部）に電流を供給する回路に相当することになる。

#### 【0098】

なお、図35では、図14での配線113aが第1電源線に相当する配線104に接続され、図14での配線113bが第2電源線に相当する配線3604に接続されている。

#### 【0099】

なお、図35では、配線107に、2個のトランジスタ102a、102bが接続されているが、これに限定されない。同様に、さらに多くのトランジスタ（もしくはそのまとまり）を接続することは可能である。

#### 【0100】

次に、図35の構成をより具体的に記載した回路図を図36に示す。ただし、図22や図29の構成も、さらに組み合わせている。

#### 【0101】

なお、図35では、配線107に、2個のトランジスタ102a、102bが接続されているが、簡単のため、図36では、配線107に、1個のトランジスタ102aaが接続されているものとする。

#### 【0102】

図35での比較制御回路114a、114bが、図36でのオペアンプ114aa、114baに相当する。また、図35でのプリチャージスイッチ112a、112bが、図36でのトランジスタ112aa、112baに相当する。なお、図36では、CMOS構成になっていないが、CMOS構成にしてもよい。ただし、電位が高い配線にPチャネル型トランジスタ112aaが接続され、電位が低い配線にNチャネル型トランジスタ112baが接続されているため、CMOS構成にしなくとも、正常に動作させることが出来る。

#### 【0103】

また、図35における電流源101が、図36でのトランジスタ101aaに相当する。また、図29におけるダミー電流源101Zが、図36でのトランジスタ101Zaa、101Zbaに相当する。図36のように、トランジスタ101aa、101Zaa、101Zbaのゲート端子を接続することにより、電流源101に相当するトランジスタ101aaが供給する電流に応じた電流が、ダミー電流源101Zに相当するトランジスタ101Zaa、101Zabから供給することが可能となる。

#### 【0104】

なお、画素や信号線駆動回路の構成に関しては、少なくとも電流を入力するような方式であれば、どのような構成でもよい。また、画素に配置されている負荷は、EL素子に限らず、抵抗などのような素子、トランジスタ、EL素子、その他の発光素子、トランジスタと容量とスイッチなどで構成された電流源回路、任意の回路が接続された配線でもよいし、信号線、信号線とそれに接続された画素でもよい。その画素には、EL素子やFEDで用いる素子、その他電流を流して駆動する素子を含んでいてもよい。

#### 【0105】

したがって、同じ出願人による国際公開第03/027997号パンフレットや、特願2002-274680号出願に出願されている内容に対しても本発明に適用したり、本発明と組み合わせることが出来る。

#### 【0106】

なお、また、信号線駆動回路や電流源回路の構成については、国際公開第03/038793号パンフレット、国際公開第03/038794号パンフレット、国際公開第03/038795号パンフレット、国際公開第03/038796号パンフレット、国際公開第03/038797号パンフレットに記載されており、その内容を本発明に適用したり、本発明と組み合わせることが出来る。

#### 【0107】

なお、これまで述べてきたさまざまな構成において、スイッチが各部分に配置されてい

るが、その配置場所は、すでに述べた場所に限定されない。正常に動作する場所であれば、任意の場所にスイッチを配置することが可能である。

#### 【0108】

なお、本実施の形態で説明した内容は、実施の形態1～4で説明した構成を応用したものに相当するがこれに限定されず、その要旨を変更しない範囲であれば様々な変形が可能である。したがって、実施の形態1～4で説明した内容は、本実施の形態にも適用できる。また、本実施の形態は、実施の形態1～4と容易に組み合わせることが出来る。

#### 【0109】

##### (実施の形態6)

本実施の形態では、表示装置、および、信号線駆動回路などの構成とその動作について、説明する。信号線駆動回路の一部や画素に、本発明の回路を適用することができる。

#### 【0110】

表示装置は、図37に示すように、画素配列3701、ゲート線駆動回路3702、信号線駆動回路3710を有している。ゲート線駆動回路3702は、画素配列3701に選択信号を順次出力する。信号線駆動回路3710は、画素配列3701にビデオ信号を順次出力する。画素配列3701では、ビデオ信号に従って、光の状態を制御することにより、画像を表示する。信号線駆動回路3710から画素配列3701へ入力するビデオ信号は、電流である場合が多い。つまり、各画素に配置された表示素子や表示素子を制御する素子は、信号線駆動回路3710から入力されるビデオ信号（電流）によって、状態を変化させる。画素に配置する表示素子の例としては、EL素子やFED（フィールドエミッഷンディスプレイ）で用いる素子などがあげられる。

#### 【0111】

なお、ゲート線駆動回路3702や信号線駆動回路3710は、複数配置されていてもよい。

#### 【0112】

信号線駆動回路3710は、構成を複数の部分に分けられる。大まかには、一例として、シフトレジスタ3703、第1ラッチ回路(LAT1)3704、第2ラッチ回路(LAT2)3705、デジタル・アナログ変換回路3706に分けられる。デジタル・アナログ変換回路3706には、電圧を電流に変換する機能も有しており、ガンマ補正を行う機能も有していてもよい。つまり、デジタル・アナログ変換回路3706には、画素に電流（ビデオ信号）を出力する回路、すなわち、電流源回路を有しており、そこに本発明を適用することが出来る。

#### 【0113】

また、画素は、EL素子などの表示素子を有している。その表示素子に電流（ビデオ信号）を出力する回路、すなわち、電流源回路を有しており、そこにも、本発明を適用することが出来る。

#### 【0114】

なお、画素の構成によっては、ビデオ信号用のデジタル電圧信号と、画素の中の電流源回路のための制御用の電流とを、画素に入力する場合がある。その場合は、デジタル・アナログ変換回路3706は、デジタル・アナログ変換機能ではなく、電圧を電流に変換する機能を有しており、その電流を制御用の電流として画素に出力する回路、すなわち、電流源回路を有しており、そこに本発明を適用することが出来る。

#### 【0115】

そこで、信号線駆動回路3710の動作を簡単に説明する。シフトレジスタ3703は、フリップフロップ回路(FF)等を複数列用いて構成され、クロック信号(S-CLK)、スタートパルス(SP)、クロック反転信号(S-CLKb)が入力される、これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

#### 【0116】

シフトレジスタ3703より出力されたサンプリングパルスは、第1ラッチ回路(LAT1)3704に入力される。第1ラッチ回路(LAT1)3704には、ビデオ信号線37

08より、ビデオ信号が入力されており、サンプリングパルスが入力されるタイミングに従って、各列でビデオ信号を保持していく。なお、デジタル・アナログ変換回路3706を配置している場合は、ビデオ信号はデジタル値である。また、この段階でのビデオ信号は、電圧であることが多い。

#### 【0117】

ただし、第1ラッチ回路3704や第2ラッチ回路3705が、アナログ値を保存できる回路である場合は、デジタル・アナログ変換回路3706は省略できる場合が多い。その場合、ビデオ信号は、電流であることも多い。また、画素配列3701に出力するデータが2値、つまり、デジタル値である場合は、デジタル・アナログ変換回路3706は省略できる場合が多い。

#### 【0118】

第1ラッチ回路(LAT1)3704において、最終列までビデオ信号の保持が完了すると、水平帰線期間中に、ラッチ制御線3709よりラッチパルス(Latch Pulse)が入力され、第1ラッチ回路(LAT1)3704に保持されていたビデオ信号は、一斉に第2ラッチ回路(LAT2)3705に転送される。その後、第2ラッチ回路(LAT2)3705に保持されたビデオ信号は、1行分が同時に、デジタル・アナログ変換回路3706へと入力される。そして、デジタル・アナログ変換回路3706から出力される信号は、画素配列3701へ入力される。

#### 【0119】

第2ラッチ回路(LAT2)3705に保持されたビデオ信号がデジタル・アナログ変換回路3706に入力され、そして、画素3701に入力されている間、シフトレジスタ3703においては再びサンプリングパルスが出力される。つまり、同時に2つの動作が行われる。これにより、線順次駆動が可能となる。以後、この動作を繰り返す。

#### 【0120】

なお、デジタル・アナログ変換回路3706が有している電流源回路が、設定動作と出力動作とを行うような回路である場合、その電流源回路に、電流を流す回路が必要となる。そのような場合、リファレンス用電流源回路3714が配置されている。

#### 【0121】

なお、信号線駆動回路やその一部は、画素配列3701と同一基板上に存在せず、例えば、外付けのICチップを用いて構成されることもある。

#### 【0122】

なお、信号線駆動回路などの構成は、図37に限定されない。

#### 【0123】

例えば、第1ラッチ回路3704や第2ラッチ回路3705が、アナログ値を保存できる回路である場合、図38に示すように、リファレンス用電流源回路3714から第1ラッチ回路(LAT1)3704に、ビデオ信号(アナログ電流)が入力されることもある。また、図38において、第2ラッチ回路3705が存在しない場合もある。そのような場合は、第1ラッチ回路3704に、より多くの電流源回路が配置されている場合が多い。

#### 【0124】

なお、具体的な構成などは、特願2002-287997号出願、特願2002-288104号出願、特願2002-288043号出願、特願2002-287921号出願、特願2002-287948号出願などに記載されているため、その内容を本願と組み合わせることが出来る。

#### 【0125】

このような場合、図37における、デジタル・アナログ変換回路3706の中の電流源回路に、本発明を適用することが出来る。デジタル・アナログ変換回路3706の中に、沢山のユニット回路があり、リファレンス用電流源回路3714に、基本電流源101や追加電流源103が配置されている。

#### 【0126】

あるいは、図38における、第1ラッチ回路(LAT1)3704の中の電流源回路に、

本発明を適用することが出来る。第1ラッチ回路(LAT1)3704の中に、沢山のユニット回路があり、リファレンス用電流源回路3714に、電流源101が配置されている。

### 【0127】

あるいは、図37、図38における画素配列3701の中の画素（その中の電流源回路）に、本発明を適用することが出来る。画素配列3701の中に、沢山の電流源回路があり、信号線駆動回路3710に、電流源101が配置されている。

### 【0128】

つまり、回路の様々な部分に、電流を供給するような回路が存在する。そのような電流源回路は、正確な電流を出力する必要がある。そのため、別の電流源回路を用いて、トランジスタが正確な電流が出力できるように設定を行う。別の電流源回路も、正確な電流を出力する必要がある。したがって、図39～図41に示すように、ある場所に、基本となる電流源回路があり、そこから電流源トランジスタを次々に設定していく。それにより、電流源回路は、正確な電流を出力することが可能となる。よって、そのような部分に、本発明を適用することが出来る。

### 【0129】

なお、本実施の形態で説明した内容は、実施の形態1～5で説明した内容を利用したものに相当する。したがって、実施の形態1～5で説明した内容は、本実施の形態にも適用できる。

### 【0130】

#### (実施の形態7)

本発明を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc (DVD) 等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。これらの電子機器の具体例を図42に示す。

### 【0131】

図42(A)は発光装置であり、筐体13001、支持台13002、表示部13003、スピーカー部13004、ビデオ入力端子13005等を含む。本発明は表示部13003を構成する半導体装置に用いることができる。また本発明により、トランジスタのばらつきの影響を低減できるため、輝度ムラを低減でき、階調が低い画素にたいしても、プリチャージ動作により、正確に信号を入力することができるため、綺麗な画像を表示することができるようになり、図42(A)に示す発光装置が完成される。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光装置は、パソコン用、テレビ(TV)放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

### 【0132】

図42(B)はデジタルスチルカメラであり、本体13101、表示部13102、受像部13103、操作キー13104、外部接続ポート13105、シャッター13106等を含む。本発明は、表示部13102を構成する半導体装置に用いることができる。また本発明により、トランジスタのばらつきの影響を低減できるため、輝度ムラを低減でき、階調が低い画素にたいしても、プリチャージ動作により、正確に信号を入力することができるため、綺麗な画像を表示することができるようになり、図42(B)に示すデジタルスチルカメラが完成される。

### 【0133】

図42(C)はノート型パーソナルコンピュータであり、本体13201、筐体13202、表示部13203、キーボード13204、外部接続ポート13205、ポインティングマウス13206等を含む。本発明は、表示部13203を構成する半導体装置に

用いることができる。また本発明により、トランジスタのばらつきの影響を低減できるため、輝度ムラを低減でき、階調が低い画素にたいしても、プリチャージ動作により、、正確に信号を入力することができるため、綺麗な画像を表示することができるようになり、図42（C）に示すノート型パソコンが完成される。

#### 【0134】

図42（D）はモバイルコンピュータであり、本体13301、表示部13302、スイッチ13303、操作キー13304、赤外線ポート13305等を含む。本発明は、表示部13302を構成する半導体装置に用いることができる。また本発明により、トランジスタのばらつきの影響を低減できるため、輝度ムラを低減でき、階調が低い画素にたいしても、プリチャージ動作により、、正確に信号を入力することができるため、綺麗な画像を表示することができるようになり、図42（D）に示すモバイルコンピュータが完成される。

#### 【0135】

図42（E）は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体13401、筐体13402、表示部A13403、表示部B13404、記録媒体（DVD等）読み込み部13405、操作キー13406、スピーカー部13407等を含む。表示部A13403は主として画像情報を表示し、表示部B13404は主として文字情報を表示するが、本発明は、表示部A、B13403、13404を構成する半導体装置に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。また本発明により、トランジスタのばらつきの影響を低減できるため、輝度ムラを低減でき、階調が低い画素にたいしても、プリチャージ動作により、、正確に信号を入力するため、綺麗な画像を表示することができるようになり、図42（E）に示すDVD再生装置が完成される。

#### 【0136】

図42（F）はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体13501、表示部13502、アーム部13503を含む。本発明は、表示部13502を構成する半導体装置に用いることができる。また本発明により、トランジスタのばらつきの影響を低減できるため、輝度ムラを低減でき、階調が低い画素にたいしても、プリチャージ動作により、、正確に信号を入力するため、綺麗な画像を表示することができるようになり、図42（F）に示すゴーグル型ディスプレイが完成される。

#### 【0137】

図42（G）はビデオカメラであり、本体13601、表示部13602、筐体13603、外部接続ポート13604、リモコン受信部13605、受像部13606、バッテリー13607、音声入力部13608、操作キー13609等を含む。本発明は、表示部13602を構成する半導体装置に用いることができる。また本発明により、トランジスタのばらつきの影響を低減できるため、輝度ムラを低減でき、階調が低い画素にたいしても、プリチャージ動作により、、正確に信号を入力するため、綺麗な画像を表示することができるようになり、図42（G）に示すビデオカメラが完成される。

#### 【0138】

図42（H）は携帯電話であり、本体13701、筐体13702、表示部13703、音声入力部13704、音声出力部13705、操作キー13706、外部接続ポート13707、アンテナ13708等を含む。本発明は、表示部13703を構成する半導体装置に用いることができる。なお、表示部13703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。また本発明により、トランジスタのばらつきの影響を低減できるため、輝度ムラを低減でき、階調が低い画素にたいしても、プリチャージ動作により、、正確に信号を入力するため、綺麗な画像を表示することができるようになり、図42（H）に示す携帯電話が完成される。

#### 【0139】

なお、将来的に発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる

**【0140】**

また、上記電子機器はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

**【0141】**

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

**【0142】**

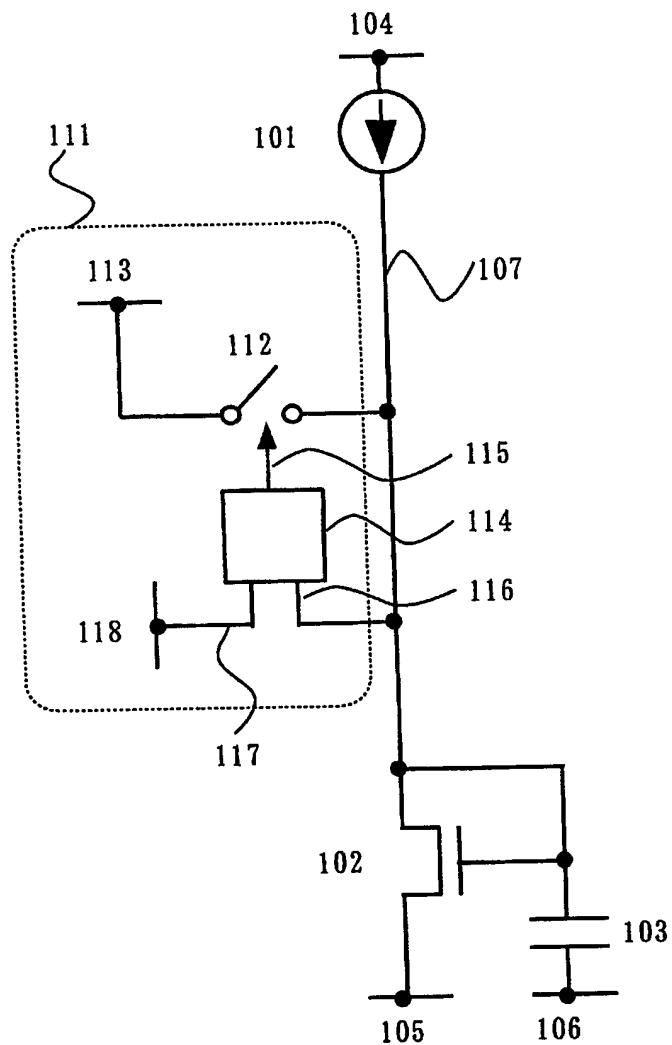
以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施の形態の電子機器は、実施の形態1～6に示したいずれの構成の半導体装置を用いても良い。

**【図面の簡単な説明】****【0143】**

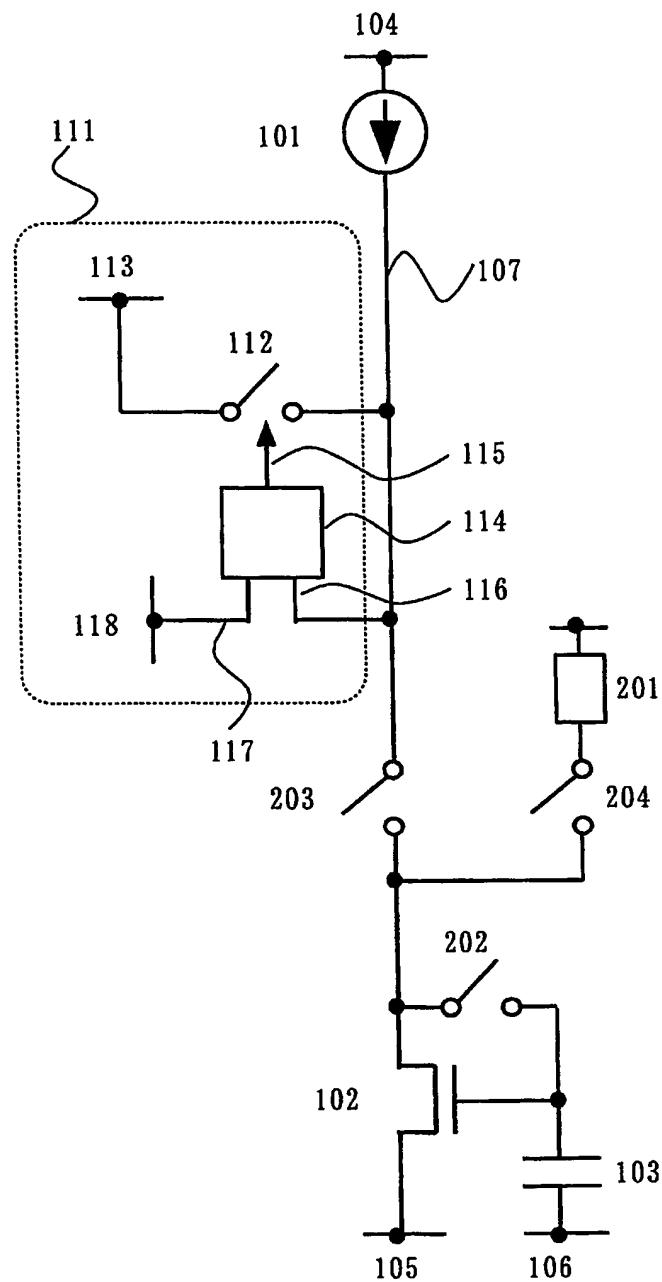
- 【図1】本発明の半導体装置の構成を説明する図。
- 【図2】本発明の半導体装置の構成を説明する図。
- 【図3】本発明の半導体装置の構成を説明する図。
- 【図4】本発明の半導体装置の構成を説明する図。
- 【図5】本発明の半導体装置の構成を説明する図。
- 【図6】従来の画素の構成を説明する図。
- 【図7】従来の画素の動作を説明する図。
- 【図8】本発明の半導体装置の電位の時間変化を表す図。
- 【図9】本発明の半導体装置の構成を説明する図。
- 【図10】本発明の半導体装置の構成を説明する図。
- 【図11】本発明の半導体装置の構成を説明する図。
- 【図12】本発明の半導体装置の構成を説明する図。
- 【図13】本発明の半導体装置の構成を説明する図。
- 【図14】本発明の半導体装置の構成を説明する図。
- 【図15】本発明の半導体装置の電流と電位の関係を表す図。
- 【図16】本発明の半導体装置の構成を説明する図。
- 【図17】本発明の半導体装置の構成を説明する図。
- 【図18】本発明の半導体装置の構成を説明する図。
- 【図19】本発明の半導体装置の構成を説明する図。
- 【図20】本発明の半導体装置の構成を説明する図。
- 【図21】本発明の半導体装置の構成を説明する図。
- 【図22】本発明の半導体装置の構成を説明する図。
- 【図23】本発明の半導体装置の構成を説明する図。
- 【図24】本発明の半導体装置の構成を説明する図。
- 【図25】本発明の半導体装置の構成を説明する図。
- 【図26】本発明の半導体装置の構成を説明する図。
- 【図27】本発明の半導体装置の構成を説明する図。
- 【図28】本発明の半導体装置の構成を説明する図。
- 【図29】本発明の半導体装置の構成を説明する図。
- 【図30】本発明の半導体装置の構成を説明する図。
- 【図31】本発明の半導体装置の構成を説明する図。
- 【図32】本発明の半導体装置の構成を説明する図。
- 【図33】本発明の半導体装置の構成を説明する図。
- 【図34】本発明の半導体装置の構成を説明する図。

- 【図 3 5】本発明の半導体装置の構成を説明する図。
- 【図 3 6】本発明の半導体装置の構成を説明する図。
- 【図 3 7】本発明が適用される表示装置の構成を説明する図。
- 【図 3 8】本発明が適用される表示装置の構成を説明する図。
- 【図 3 9】本発明の半導体装置の構成を説明する図。
- 【図 4 0】本発明の半導体装置の構成を説明する図。
- 【図 4 1】本発明の半導体装置の構成を説明する図。
- 【図 4 2】本発明が適用される電子機器の図。
- 【図 4 3】本発明の半導体装置の構成を説明する図。
- 【図 4 4】従来の半導体装置の電位の時間変化を表す図。
- 【図 4 5】従来の半導体装置の電位の時間変化を表す図。

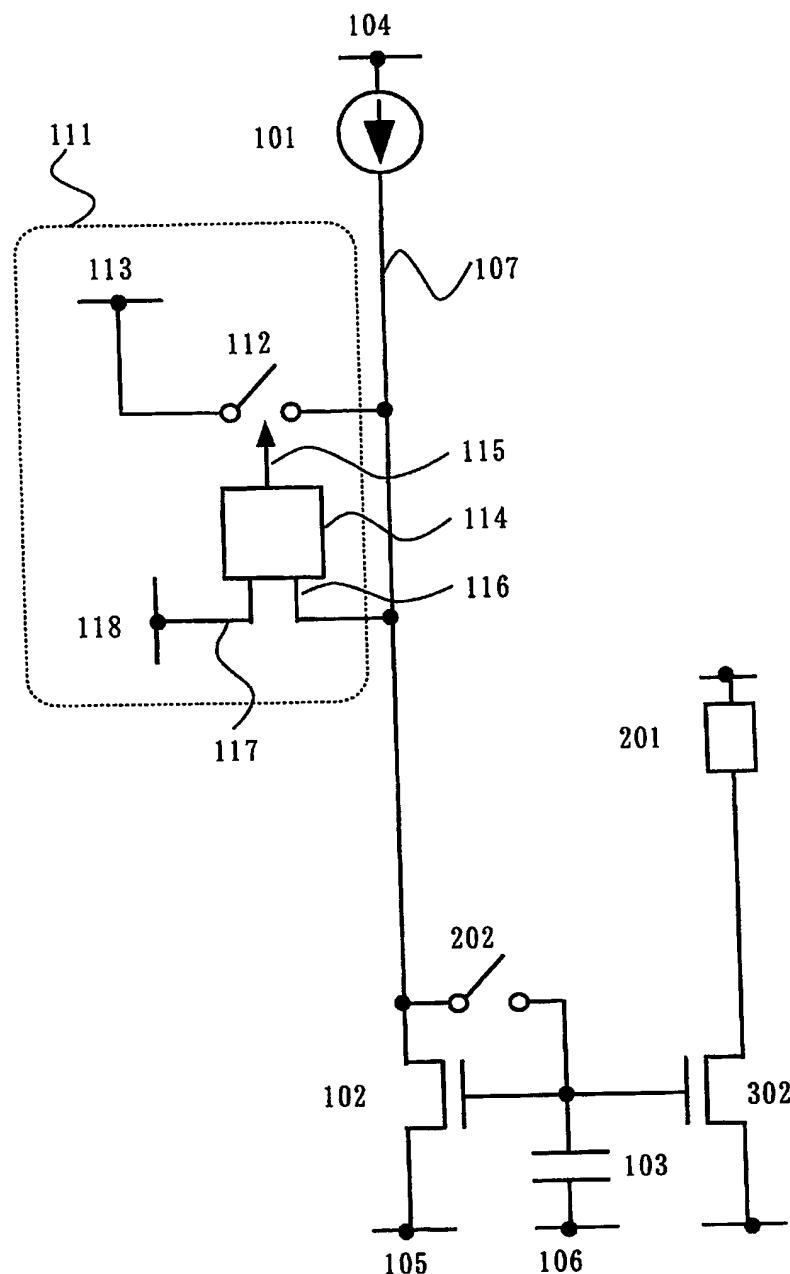
【書類名】 図面  
【図1】



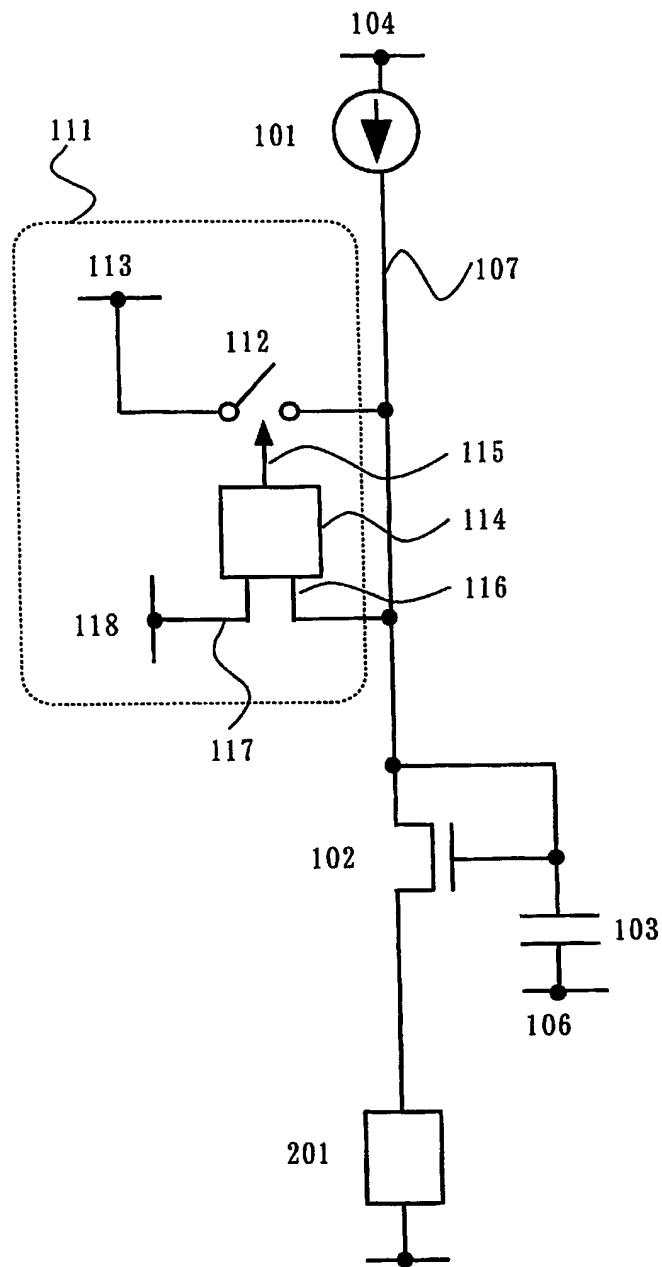
【図2】



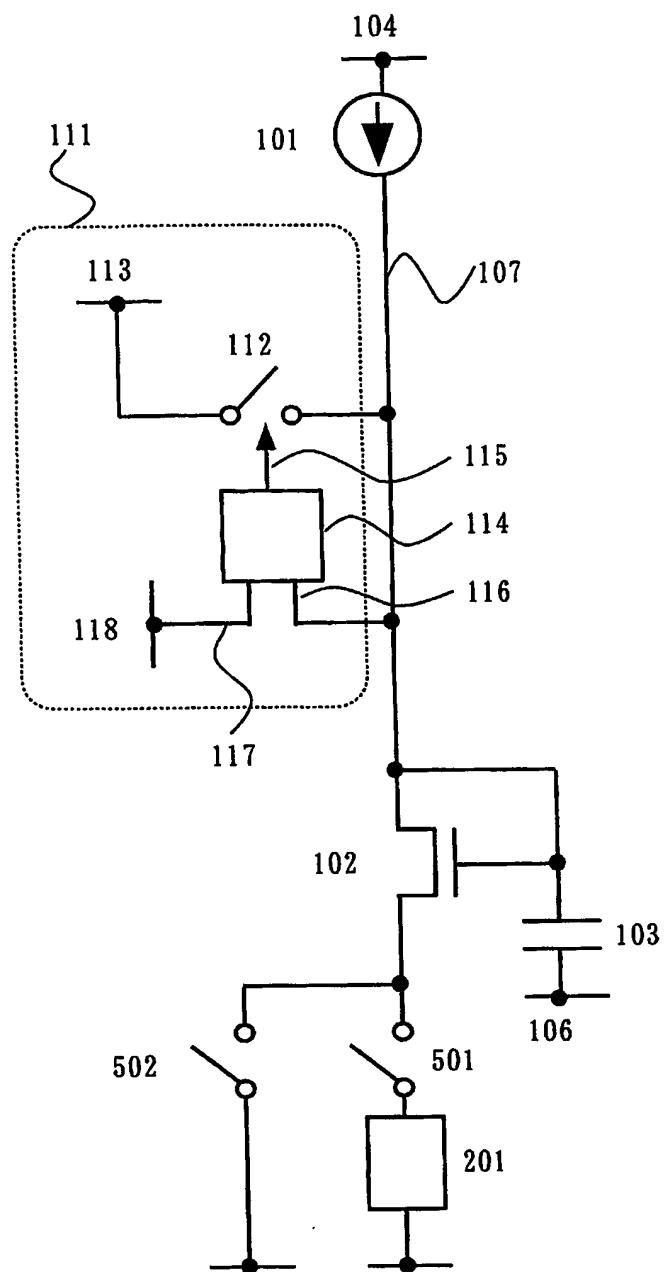
【図3】



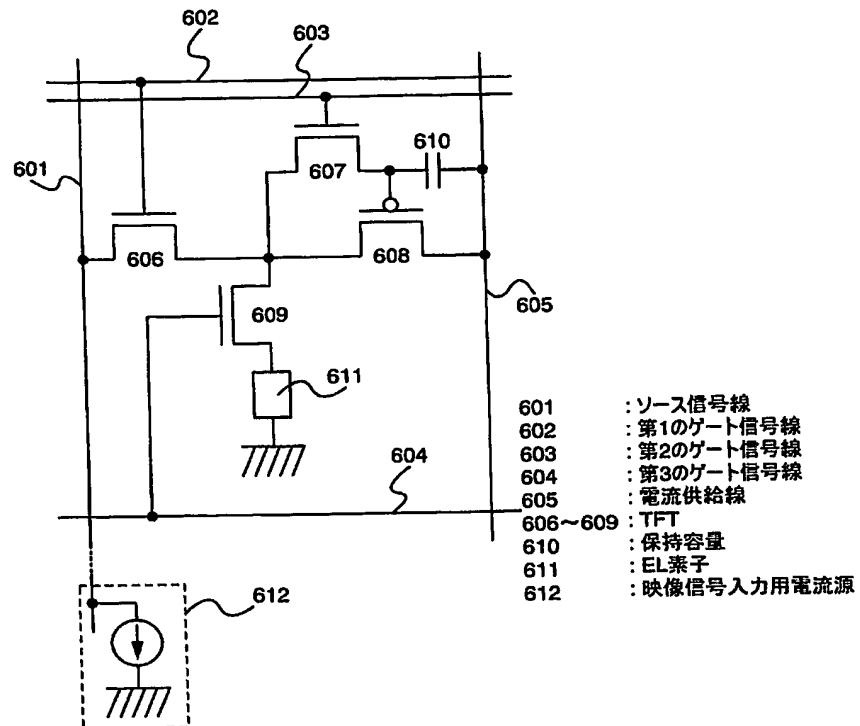
【図4】



【図5】

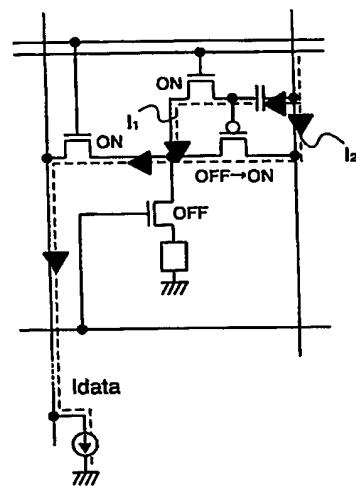


【図6】

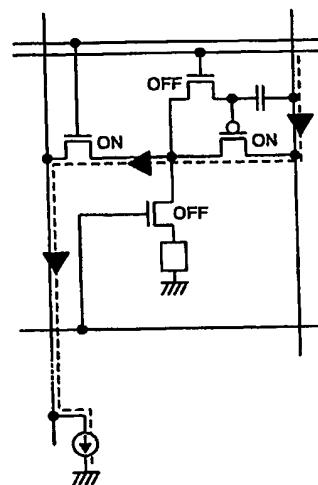


【図7】

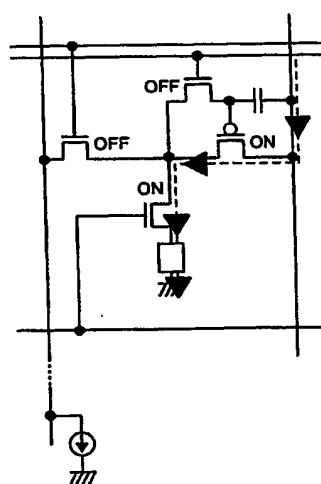
(A) 信号入力時



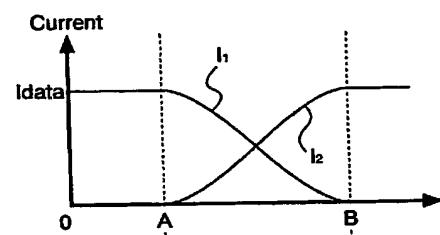
(B) 信号入力完了時



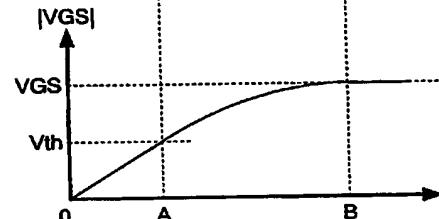
(C) 発光時



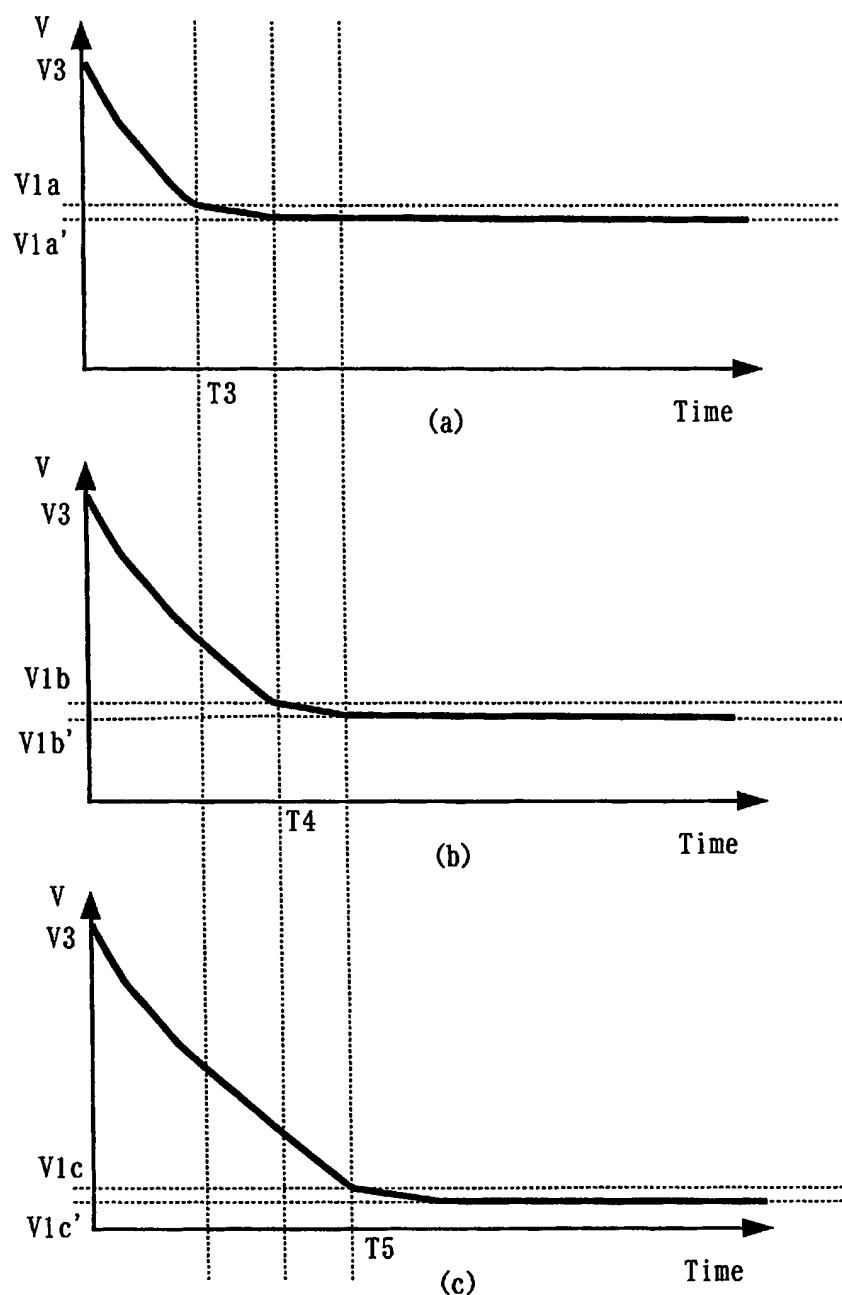
(D)



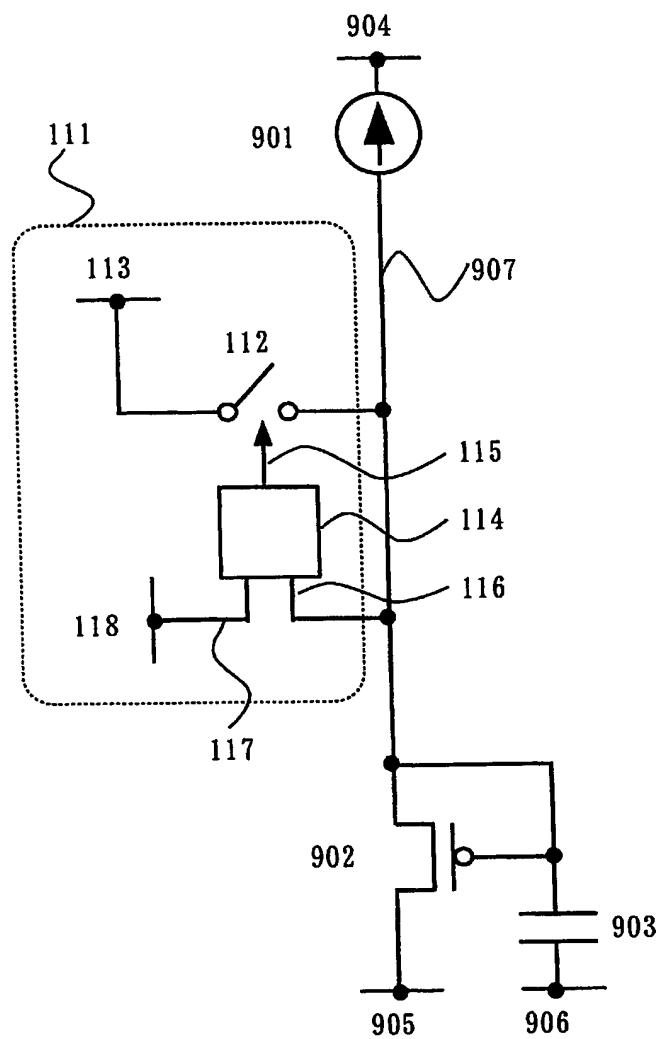
(E)



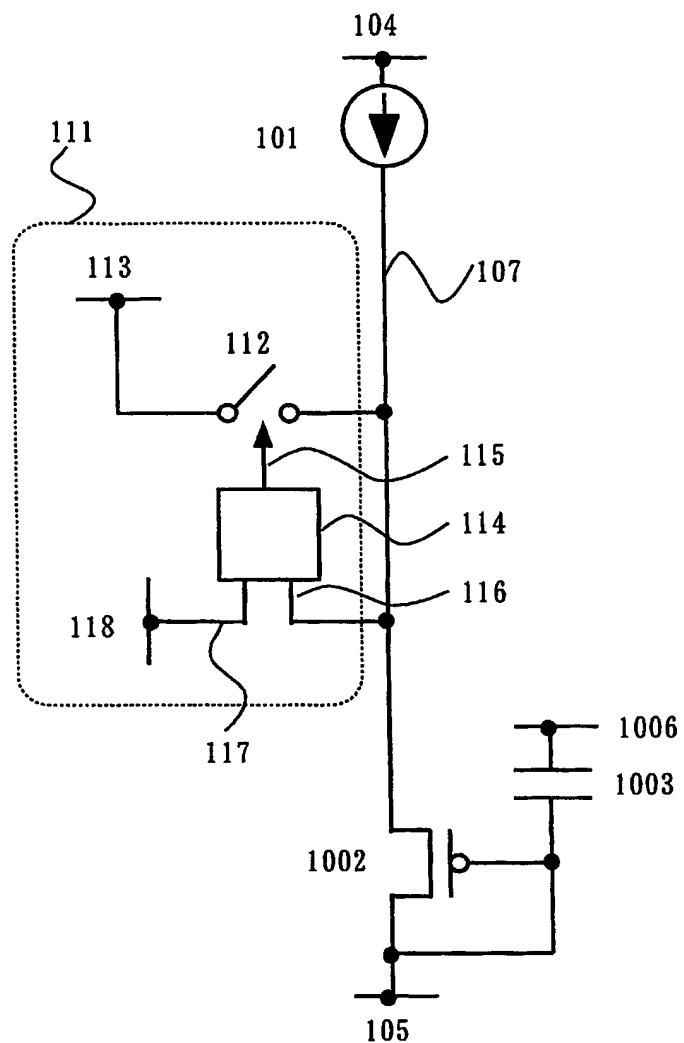
【図8】



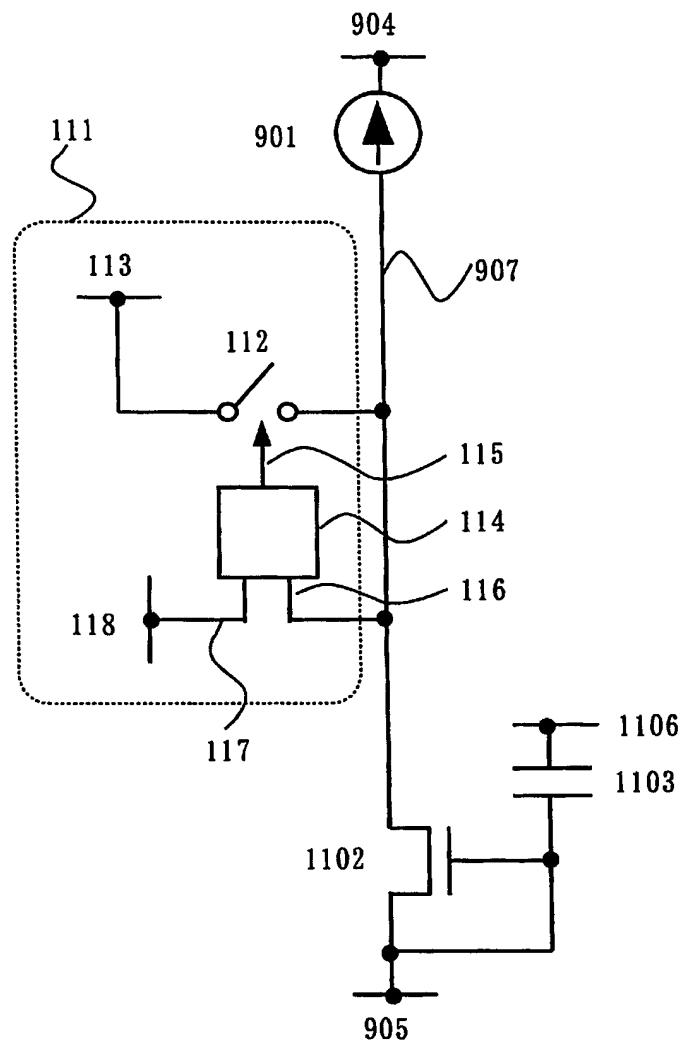
【図9】



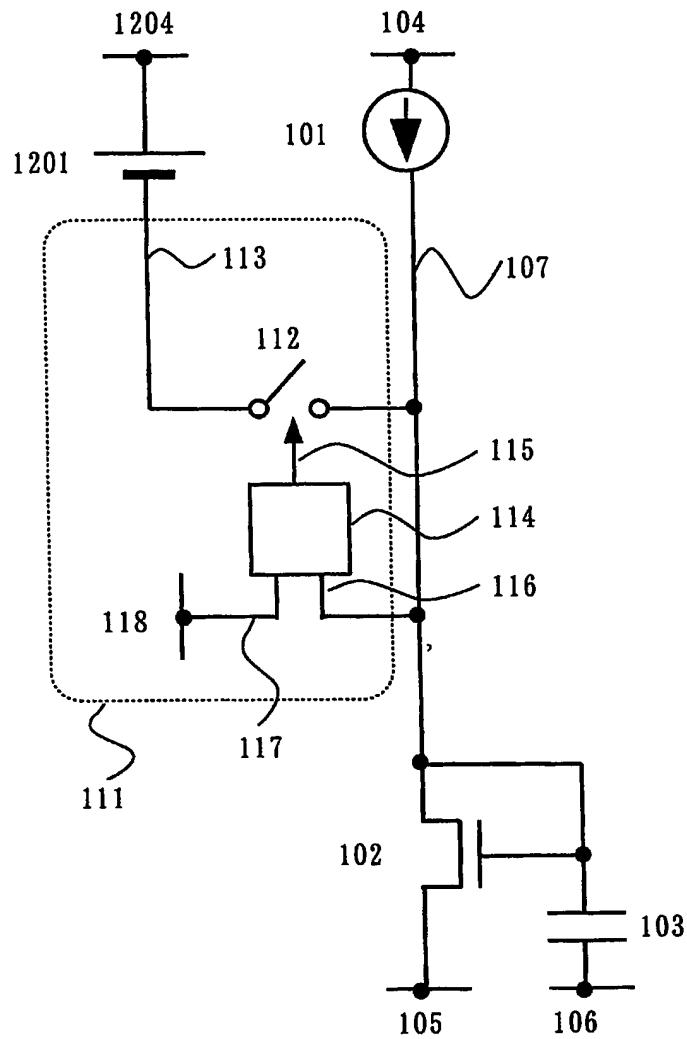
【図10】



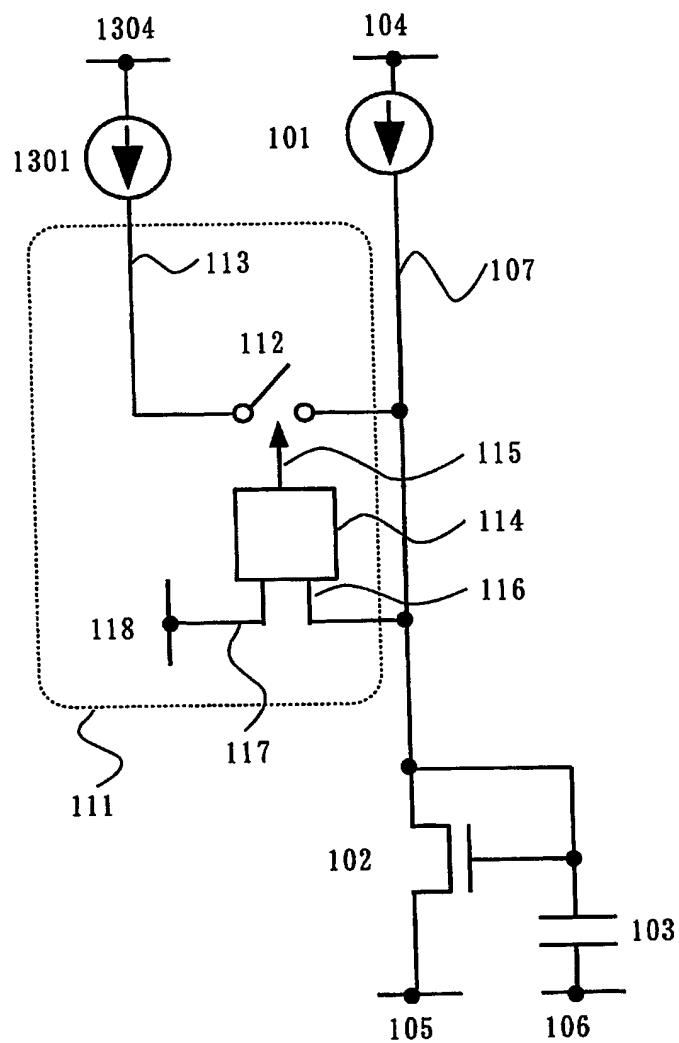
【図11】



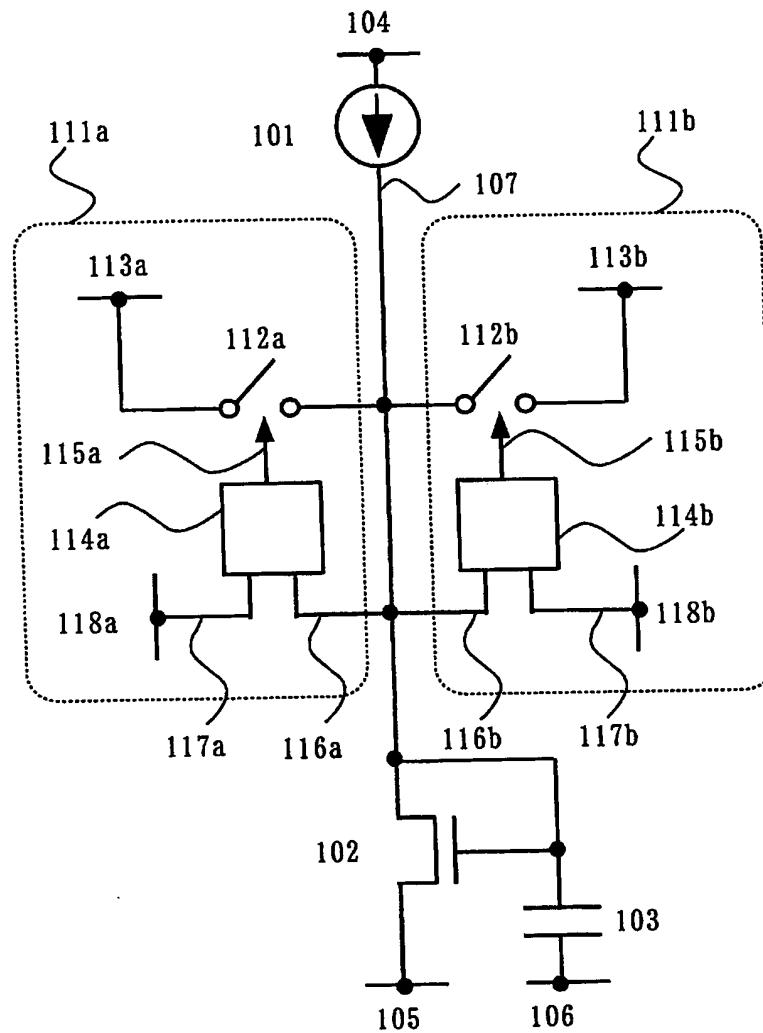
【図12】



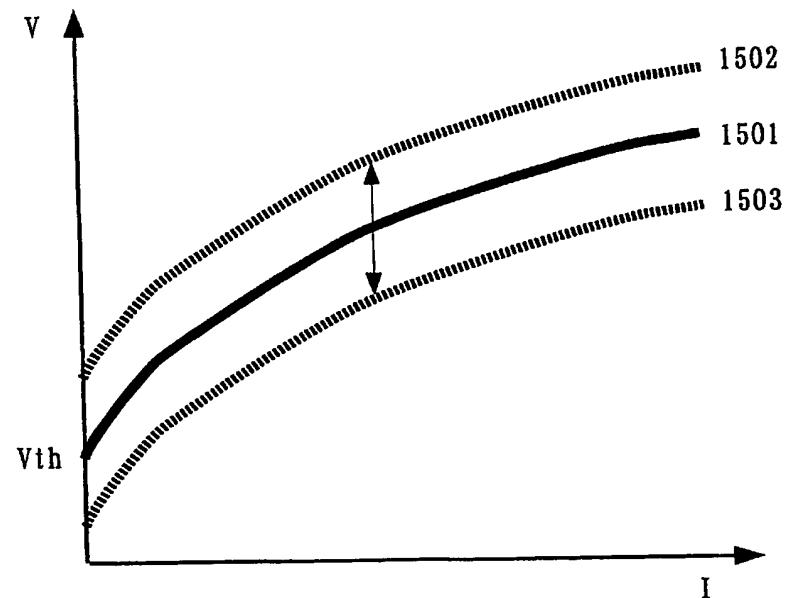
【図13】



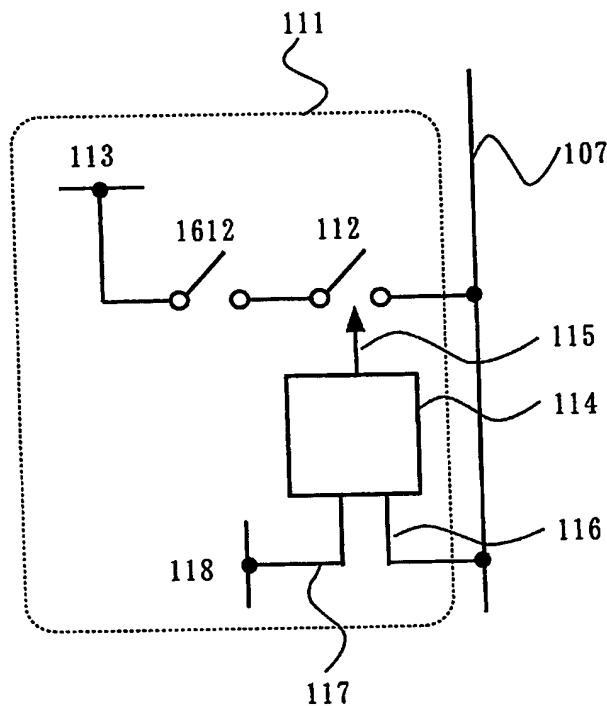
【図 14】



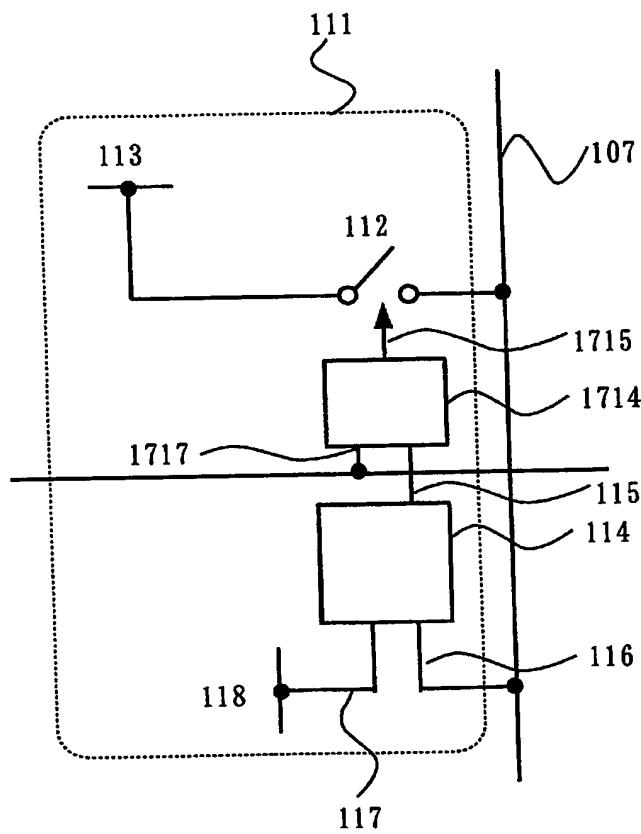
【図 15】



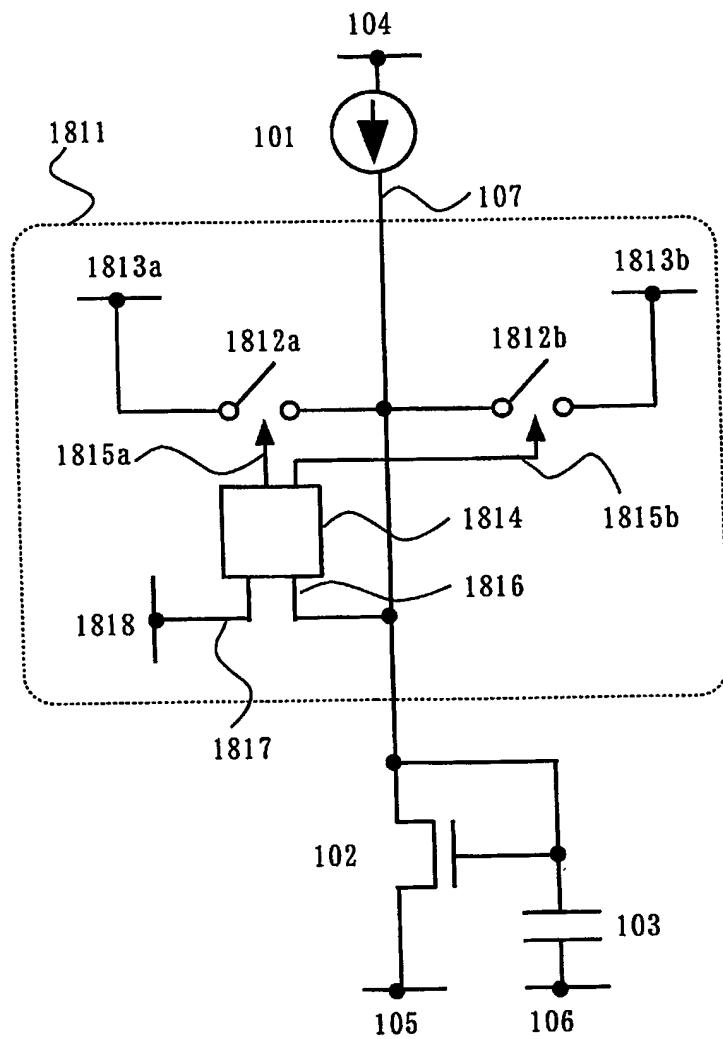
【図16】



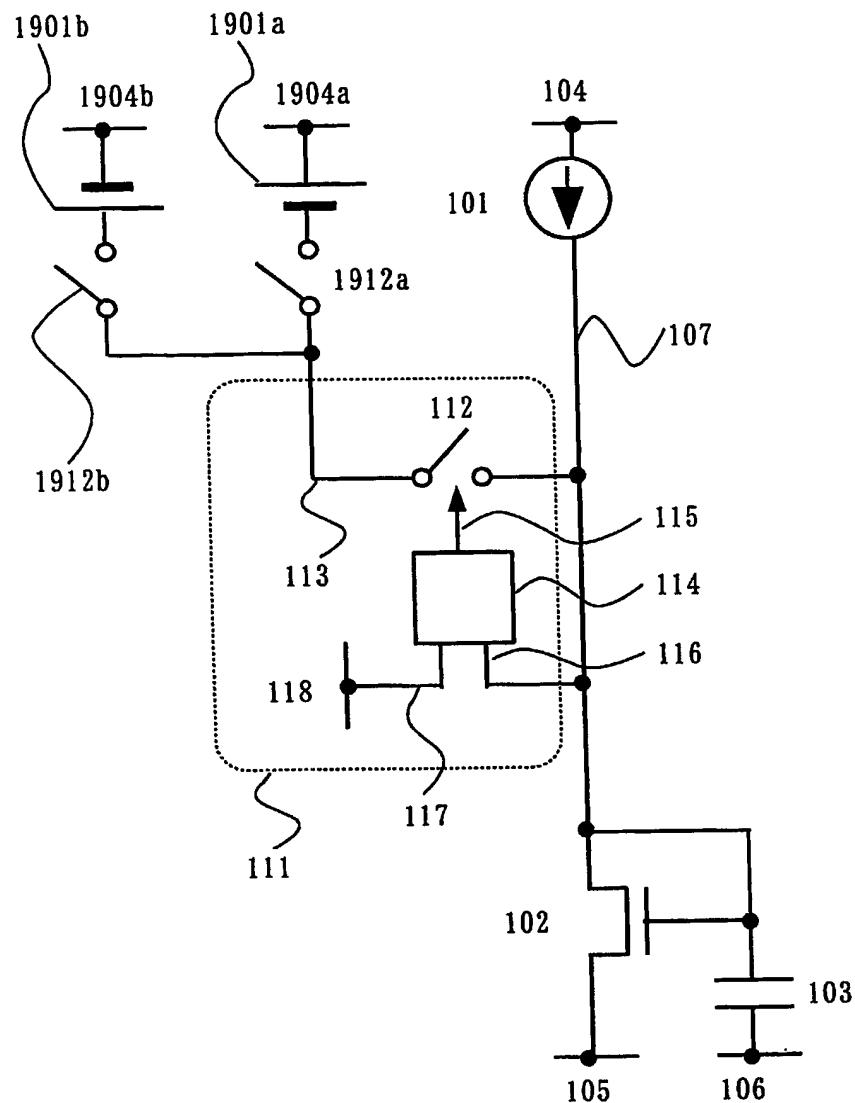
【図17】



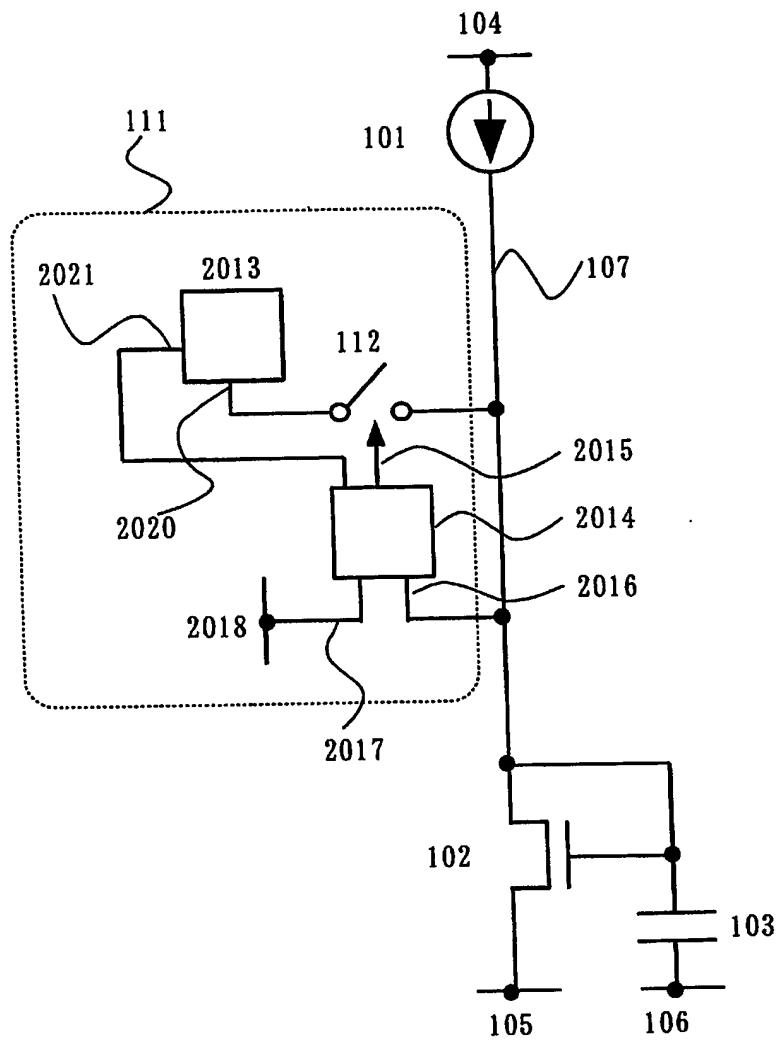
【図18】



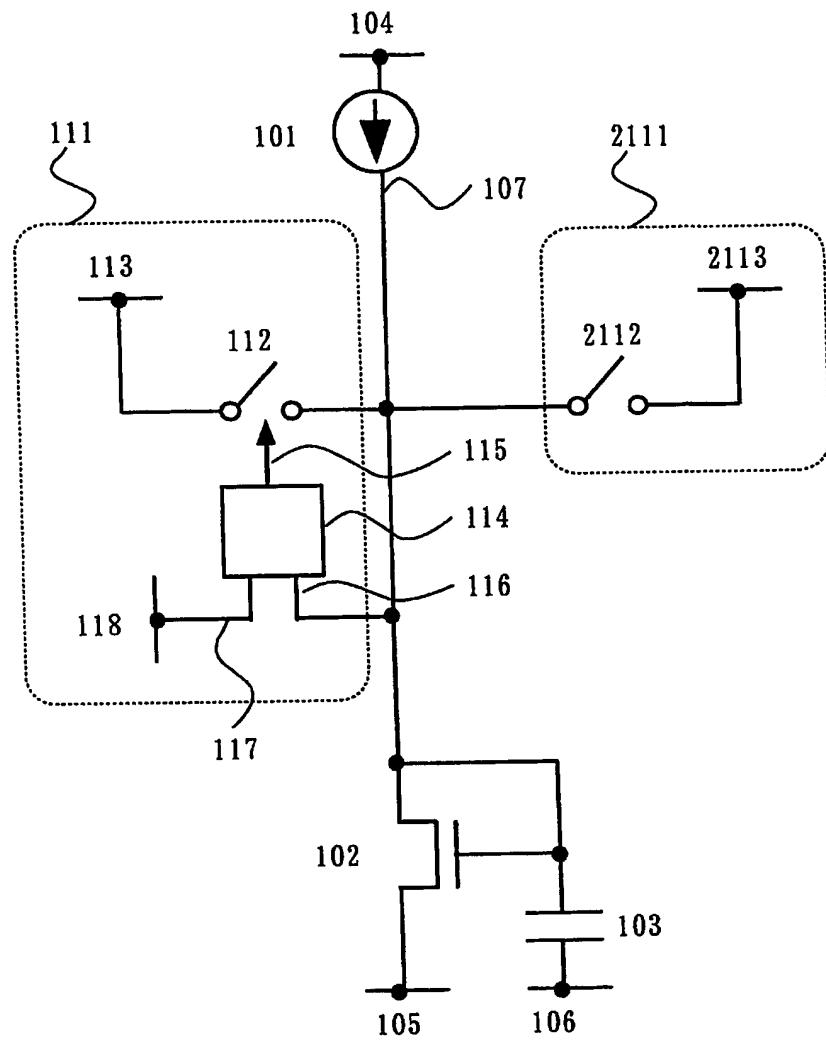
【図19】



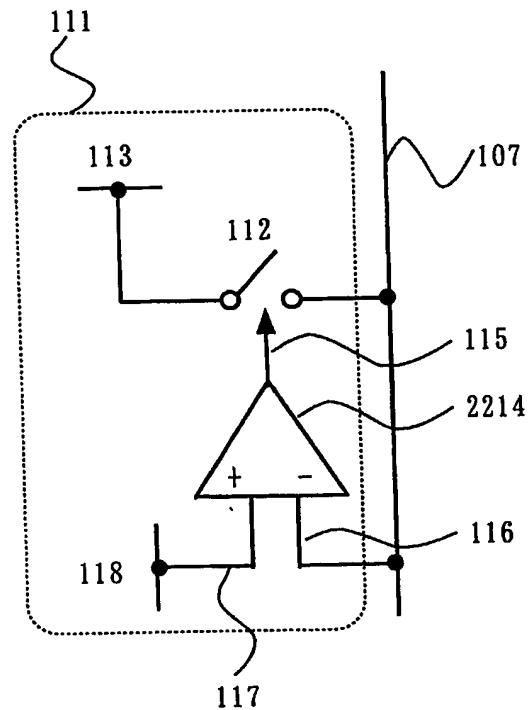
【図20】



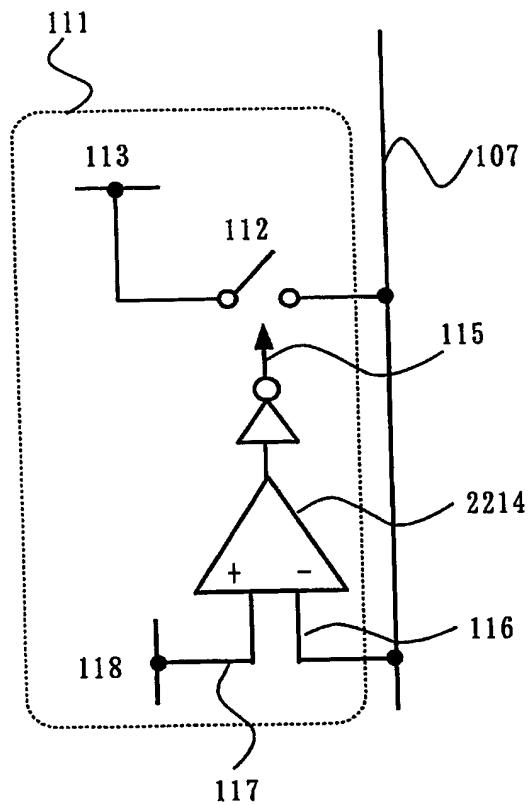
【図21】



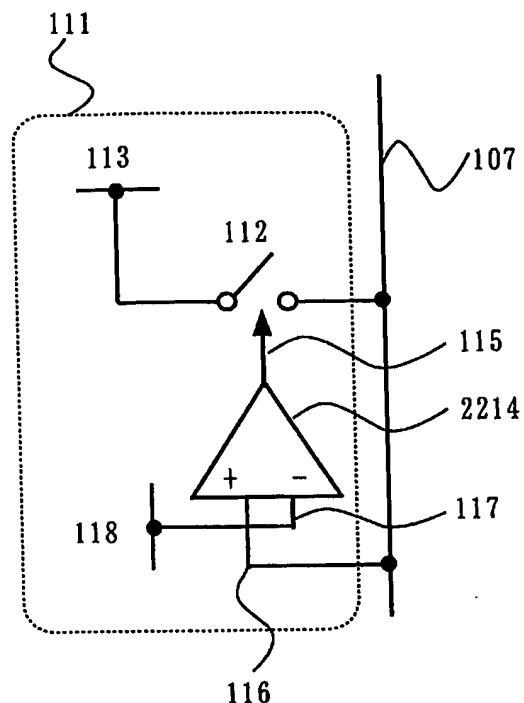
【図22】



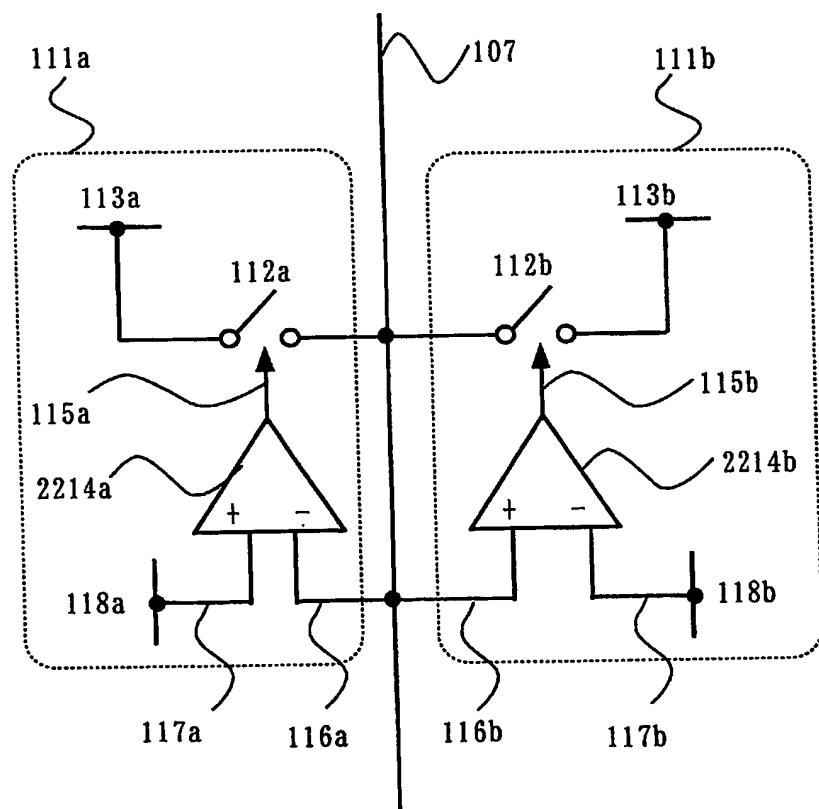
【図23】



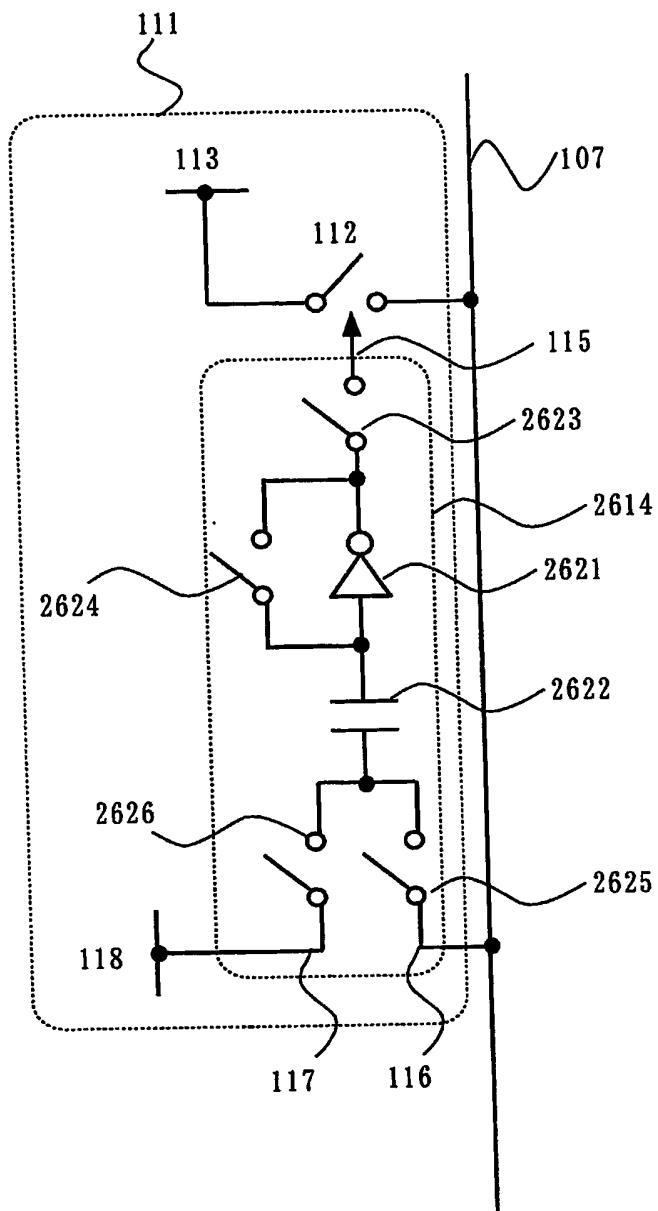
【図24】



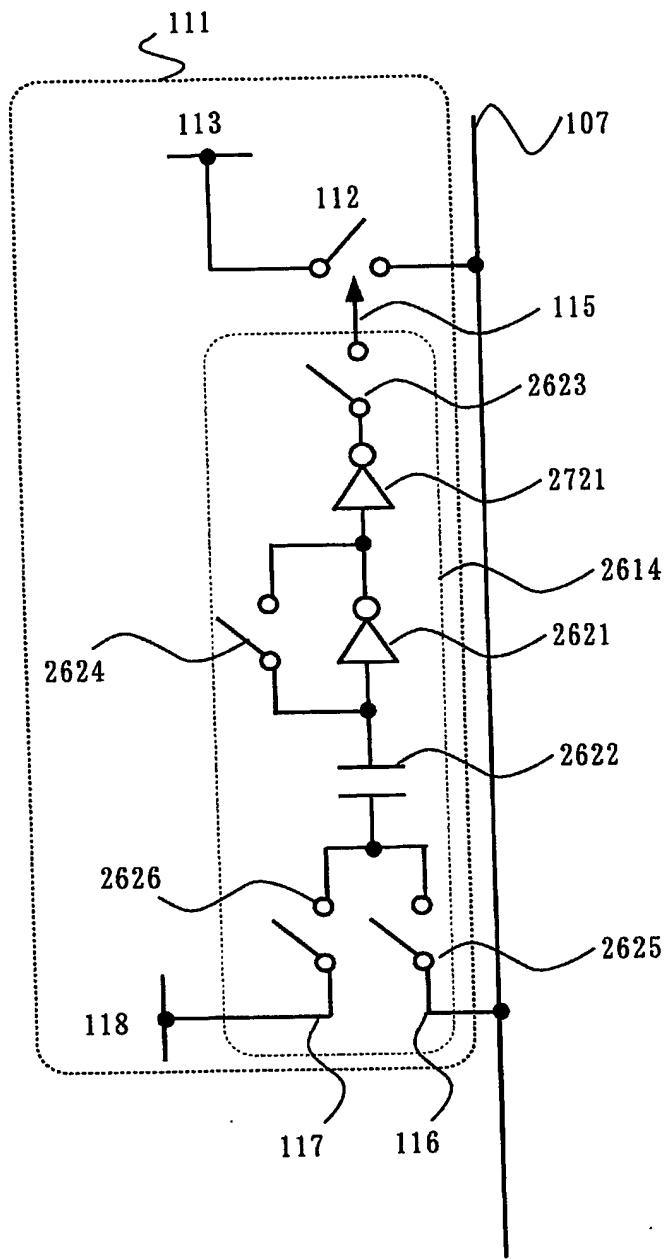
【図25】



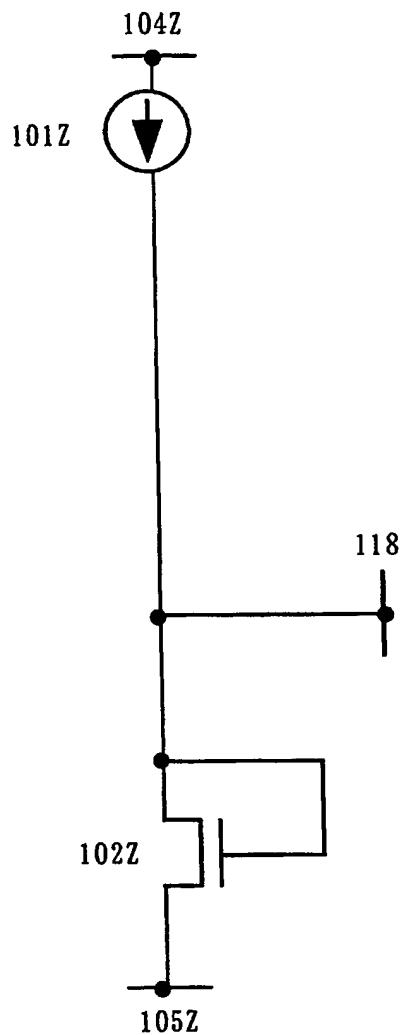
【図26】



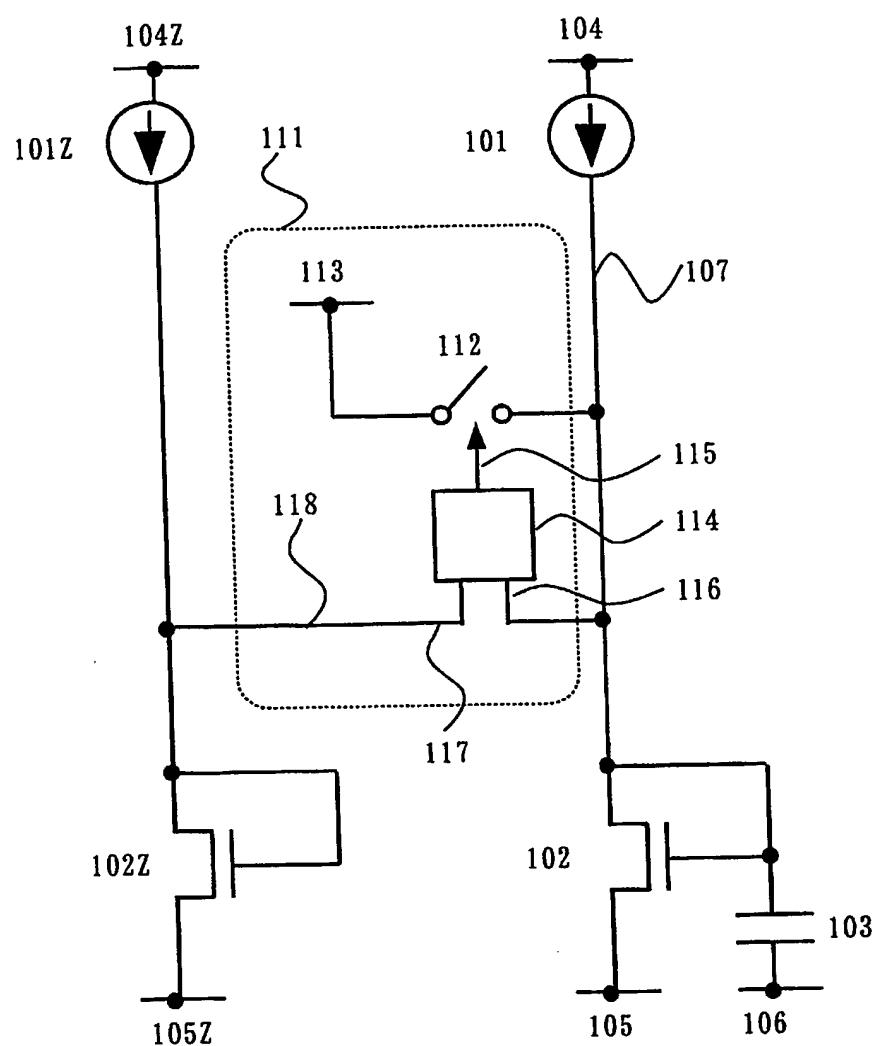
【図27】



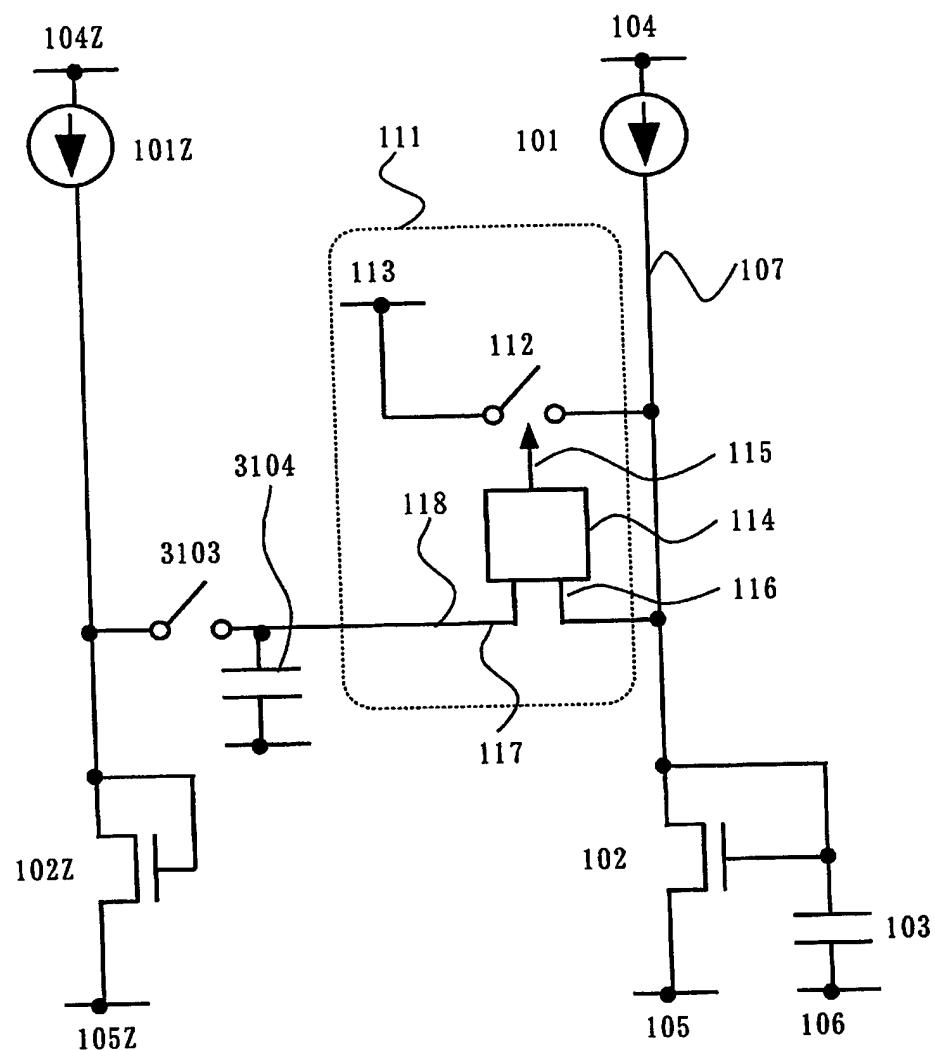
【図28】



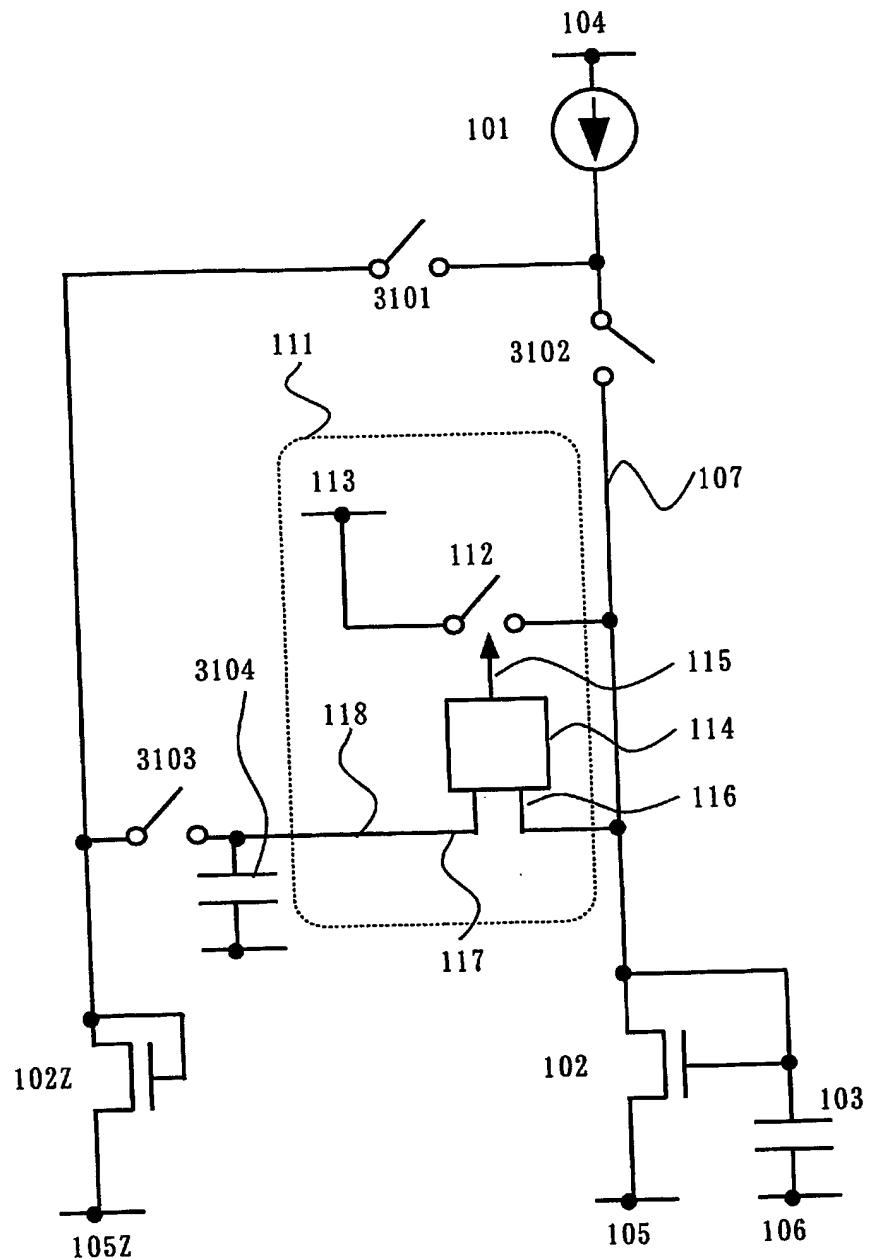
【図29】



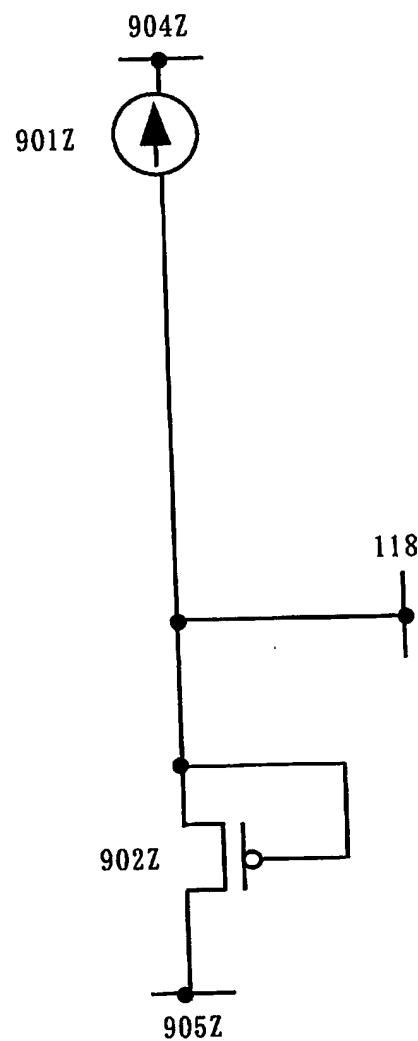
【図30】



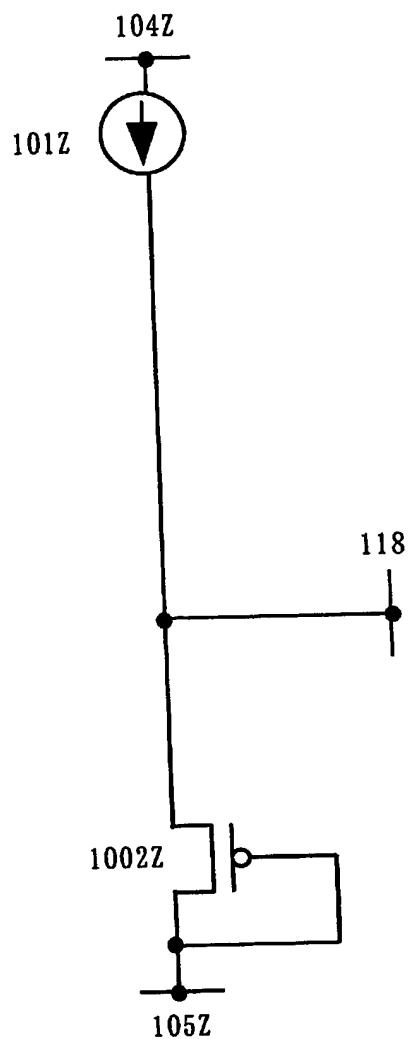
【図31】



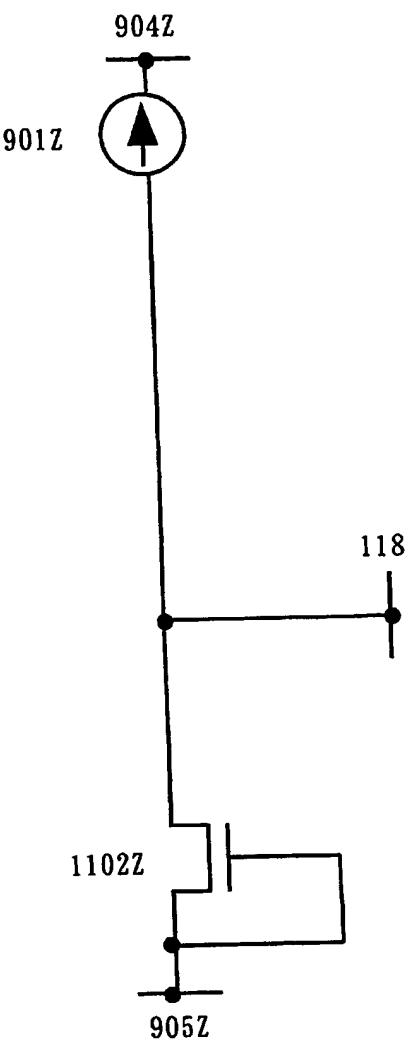
【図32】



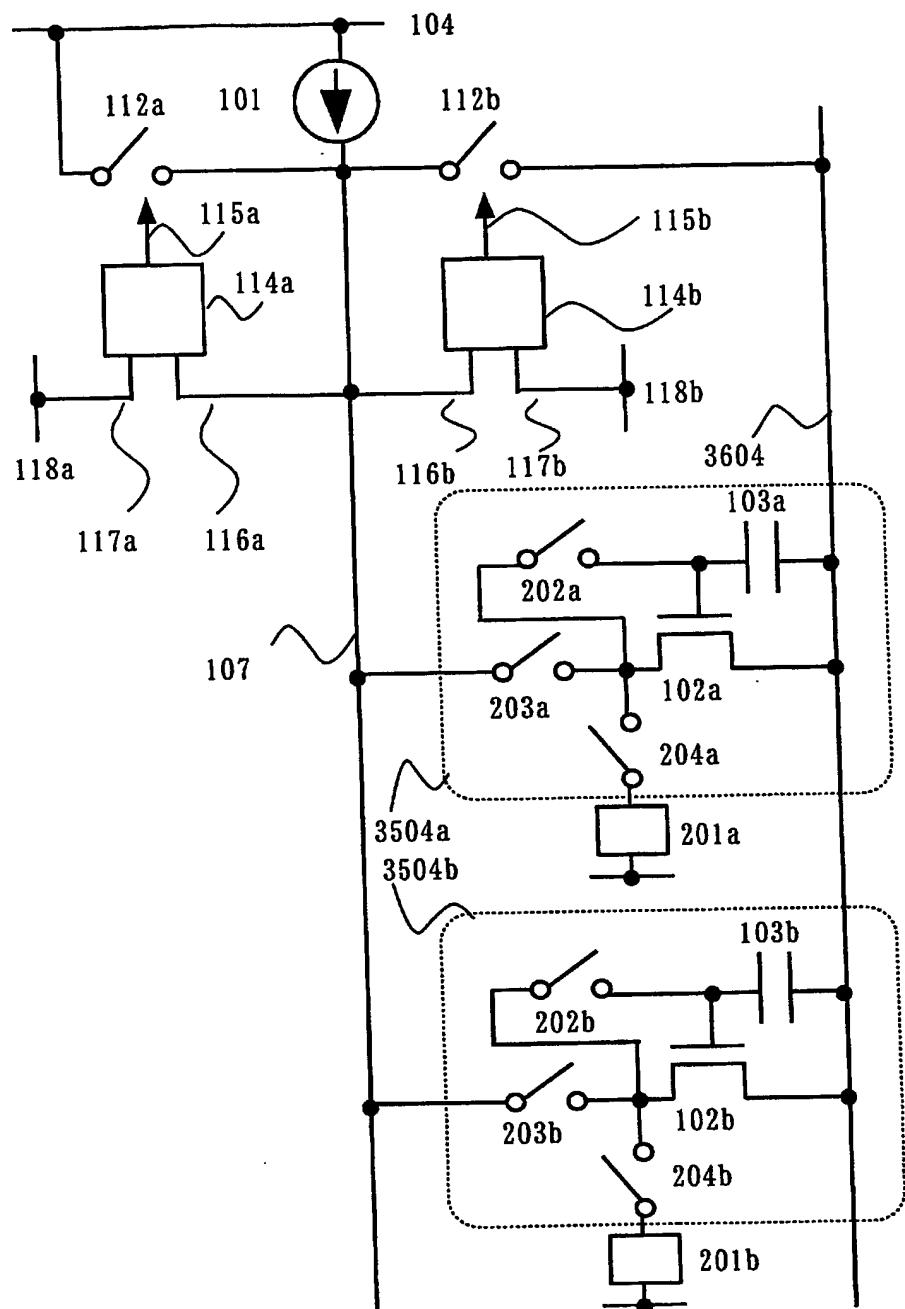
【図33】



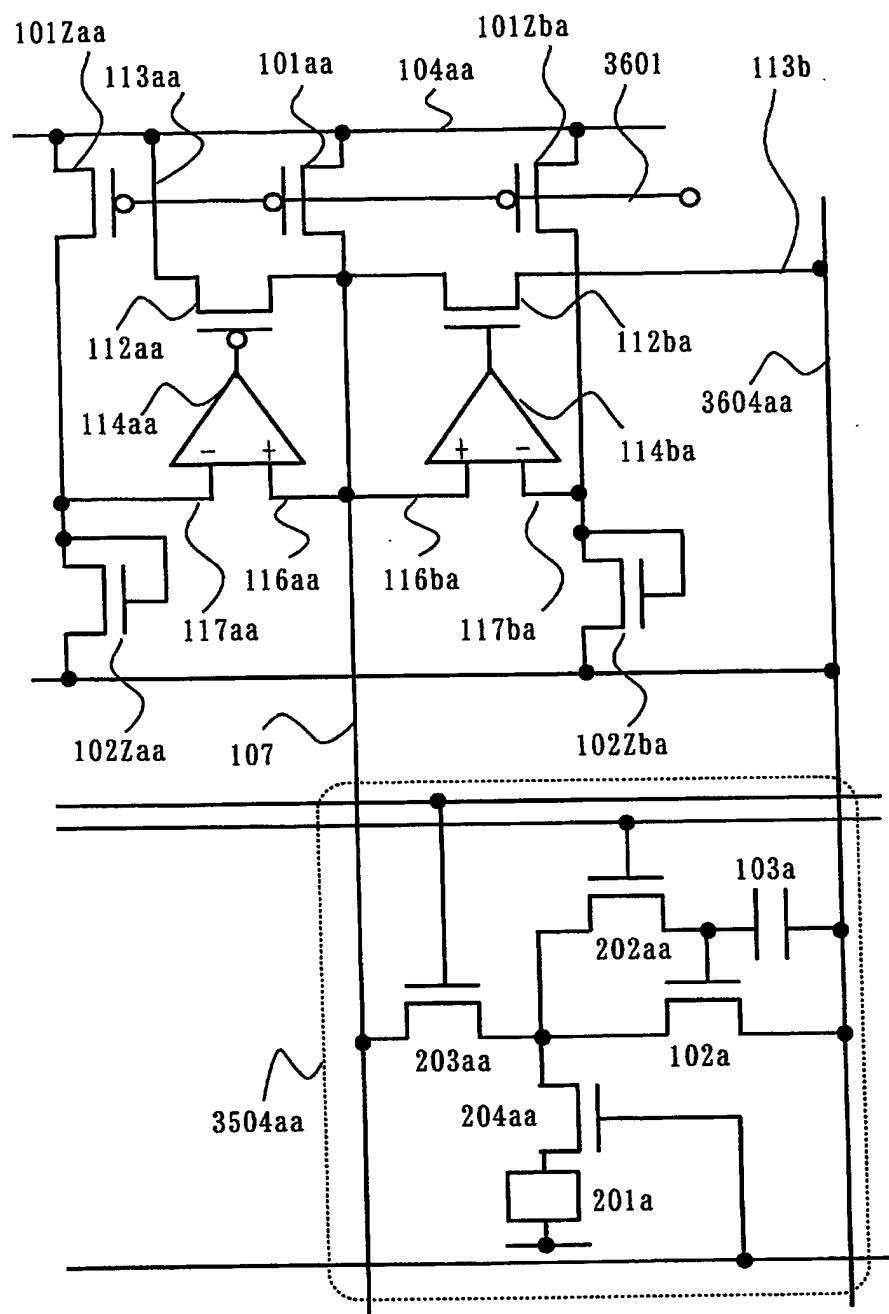
【図 34】



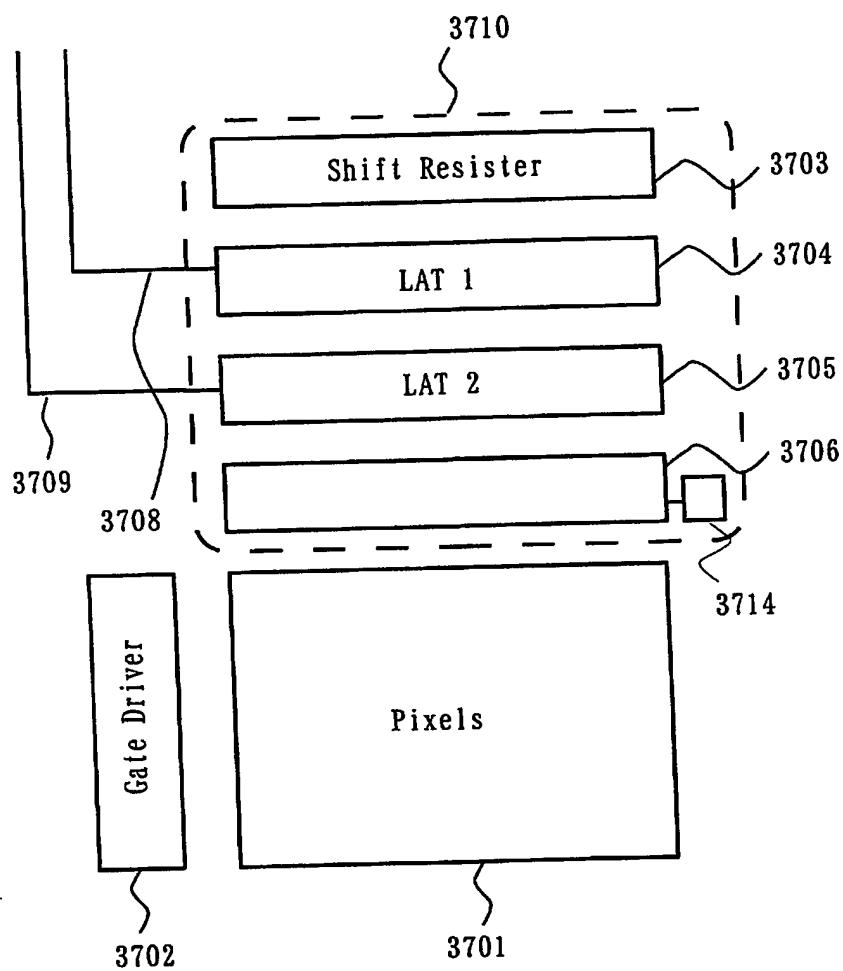
【図35】



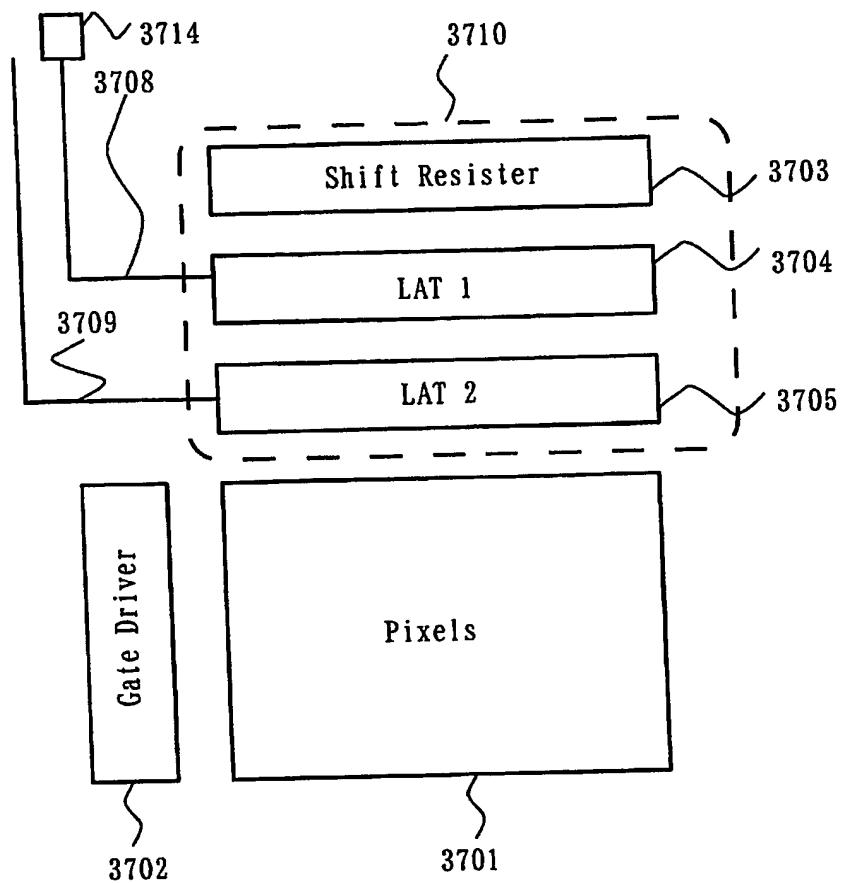
【図36】



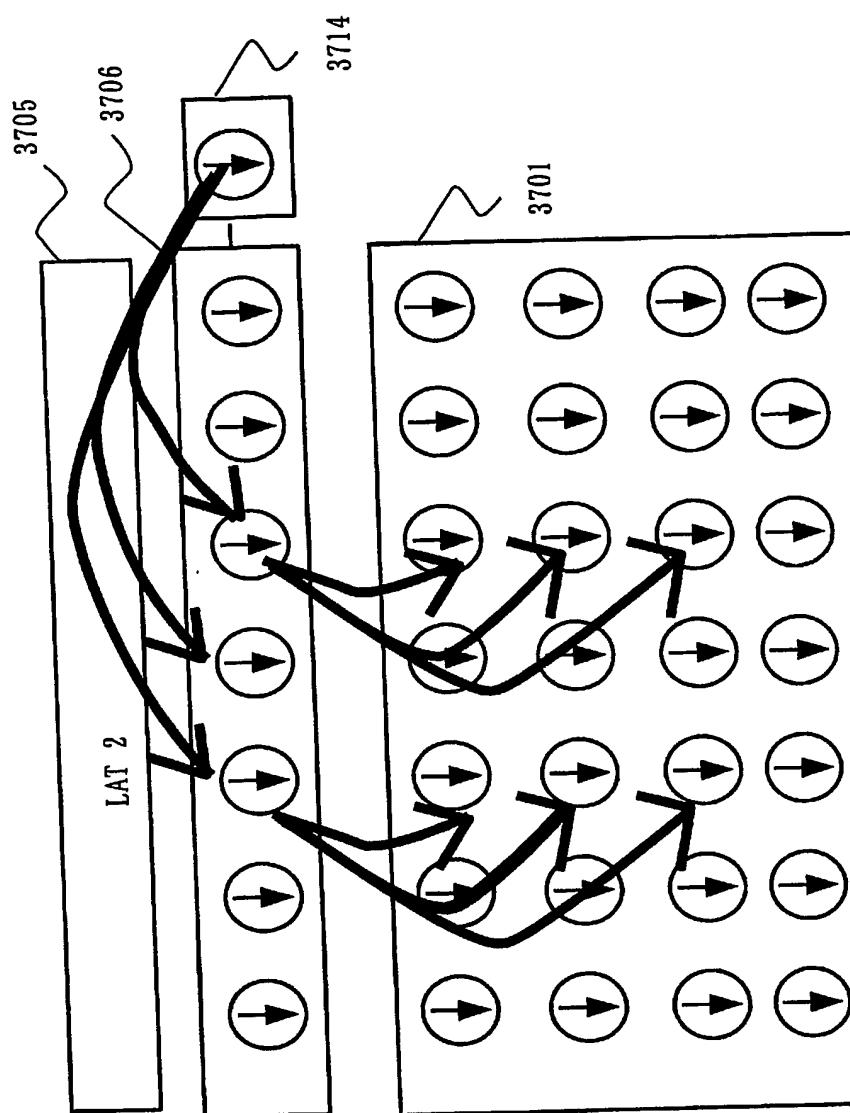
【図37】



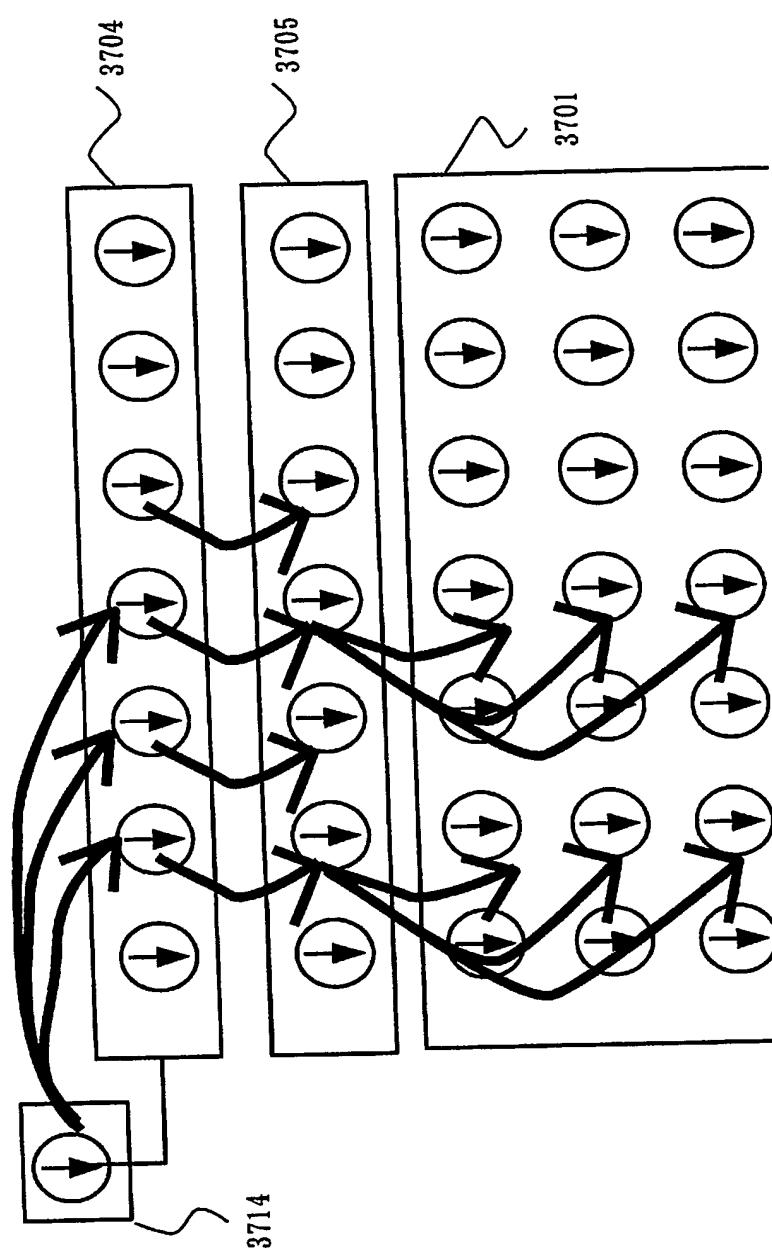
【図38】



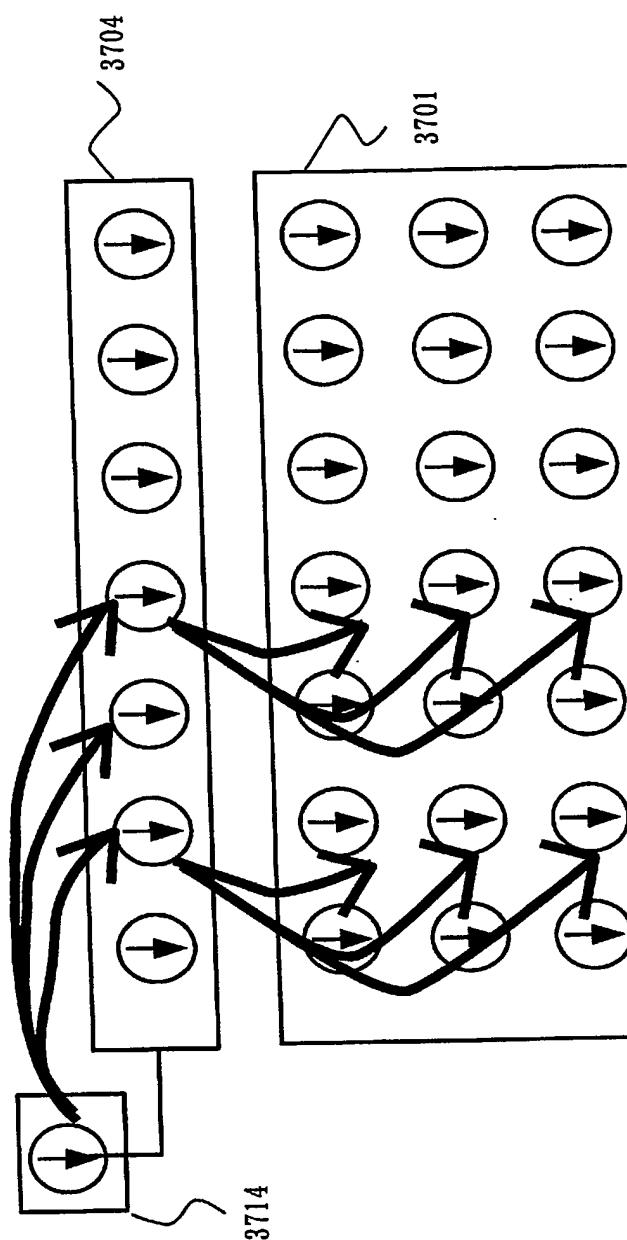
【図 39】



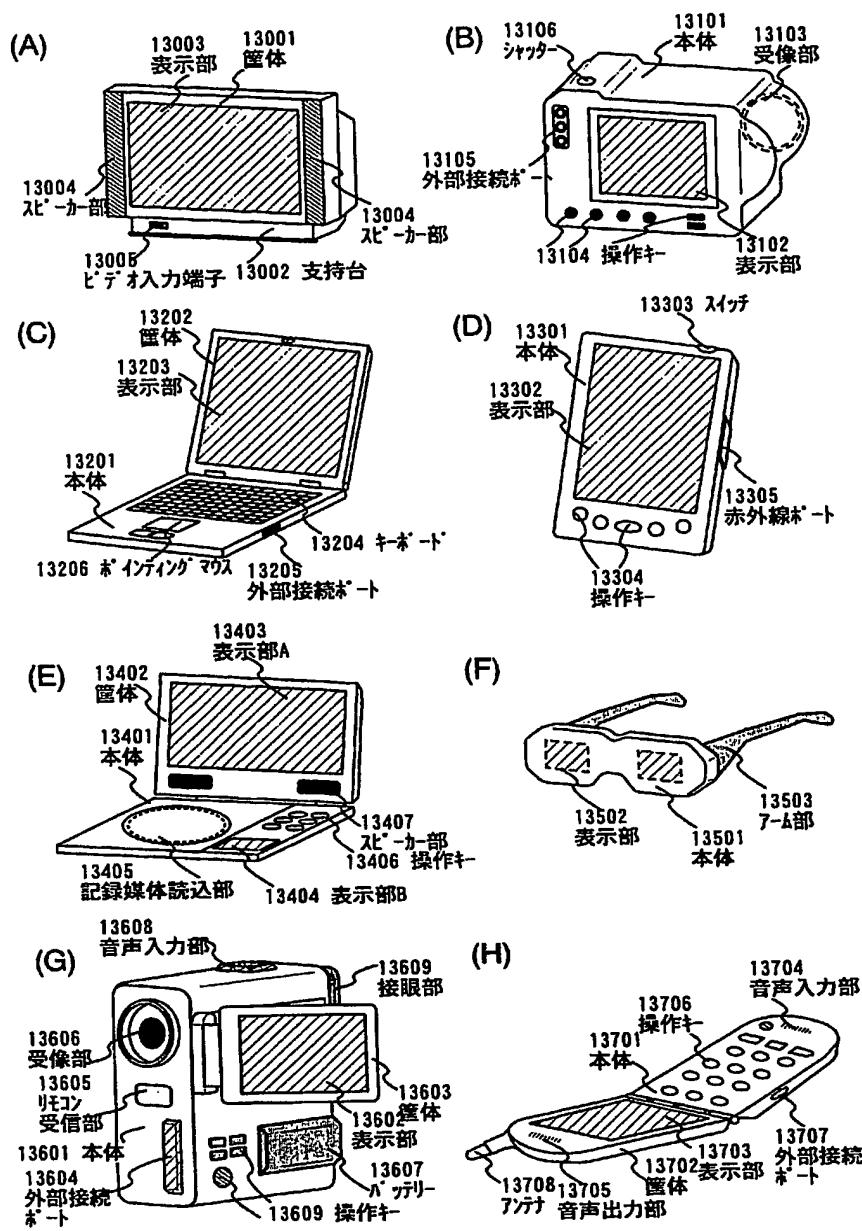
【図40】



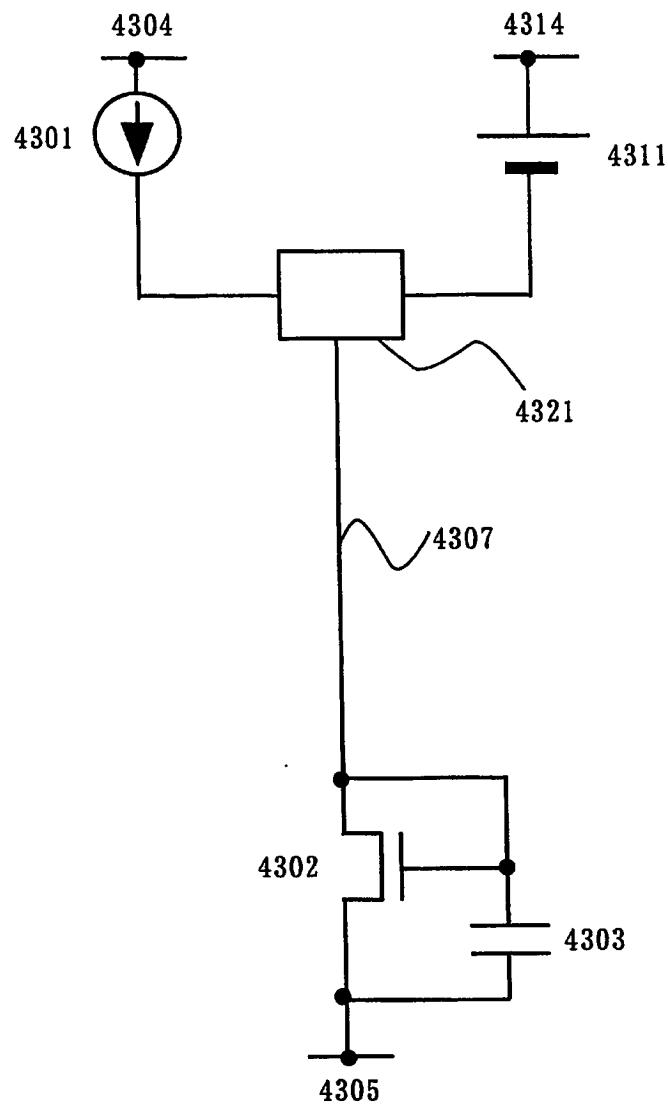
【図 4 1】



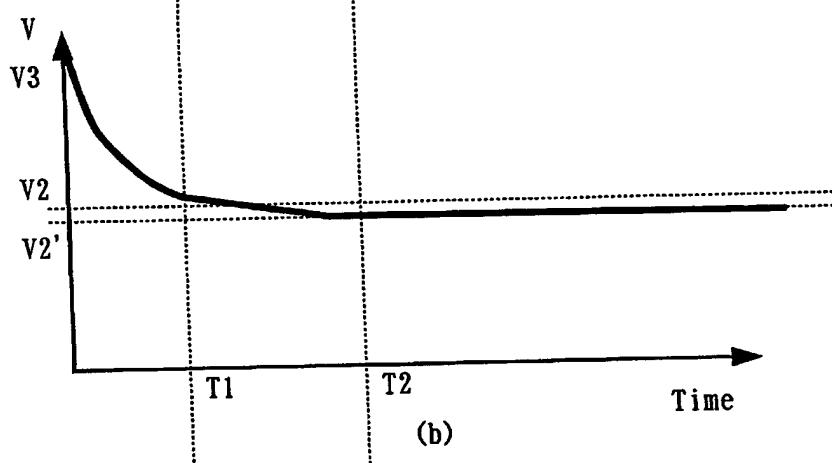
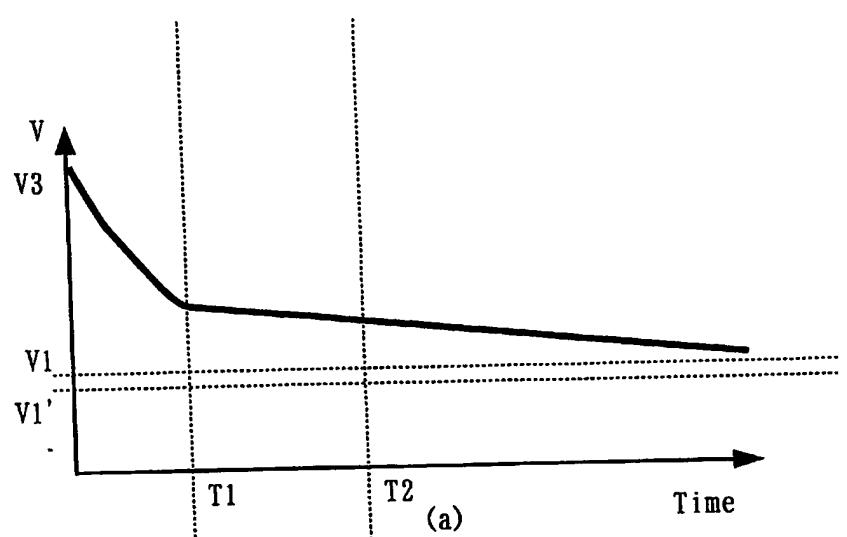
【図 4 2】



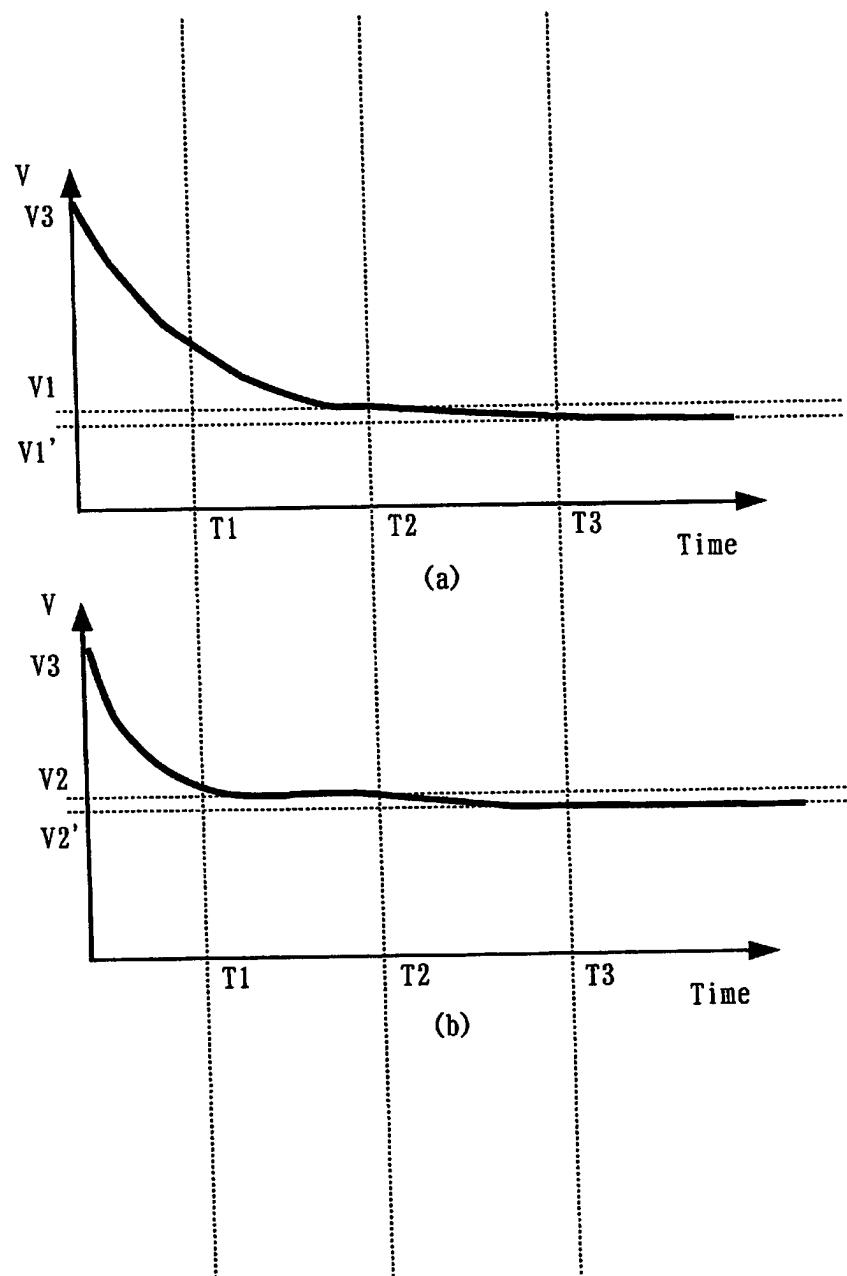
【図43】



【図 4-4】



【図 4 5】



【書類名】要約書

【要約】

【課題】 EL画素に電流を供給するトランジスタにおいて、信号電流が小さくても、バラツキの影響を受けずに正確な電流を供給できる半導体装置を提供する。

【解決手段】 画素のトランジスタに信号電流を入力して、トランジスタの電流特性のばらつきの影響を低減する場合、プリチャージ回路を用いて、配線上の電位を検出する。そして、所定の電位と比較して、配線上の電位と差がある場合は、配線に電荷を供給して、急速に充電して、プリチャージを行う。配線上の電位が所定の電位に達したら、電荷の供給を停止して、信号電流のみを供給するようにする。このように、配線上の電位が所定の電位に達するまでの期間だけプリチャージが行われるため、最適な期間だけプリチャージを行なうことが出来る。

【選択図】 図1

特願 2003-321613

出願人履歴情報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住所 神奈川県厚木市長谷398番地  
氏名 株式会社半導体エネルギー研究所

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**